

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155302

(43)Date of publication of application : 06.06.2000

(51)Int.Cl. G02F 1/133  
G09G 3/36  
H04N 5/66

(21)Application number : 10-331818

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.11.1998

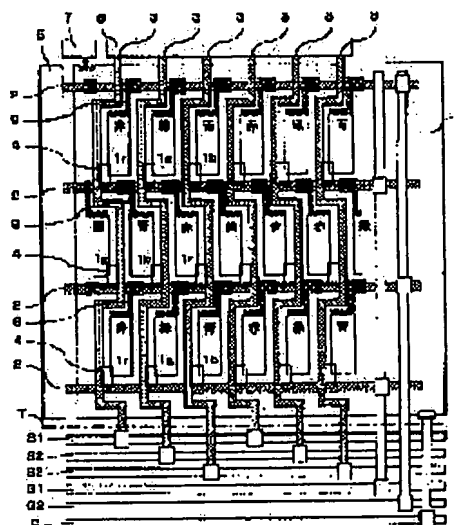
(72)Inventor : HOSHINO SHINICHI

## (54) TEST METHOD AND TEST DEVICE FOR LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable displaying red, green, and blue and to improve test and detection capability for defect caused by patterns of each pixel constitution, wirings, and the like even when pixel electrodes are arranged in delta arrangement in a test method for a liquid crystal display device.

**SOLUTION:** The device is provided with a first gate side test wiring G1 connected to gate wirings 2 to which a gate potential of each switching element 4 of odd rows in arrangement of pixels is respectively applied and a second gate side test wiring G2 connected to gate wirings 2 to which a gate potential of each switching element 4 of even rows is respectively applied, and the device performs display by a drive potential to the first gate side test wiring G1 and a drive potential to source side test wirings S1-S3 and display by a drive potential to the second gate side test wiring G2 and a drive potential to source side test wirings S1-S3. By this method, even if pixel electrodes of red, green, blue are arranged in delta arrangement, display of red, green, blue can be performed, a simple picture test can be realized, and a test having high detecting capability for defect can be performed.



## LEGAL STATUS

[Date of request for examination] 06.10.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** It is the inspection approach of the liquid crystal display of an active matrix connected to other gate wiring with which the storage capacitance for holding the pixel potential of the pixel electrode of each pixel adjoins gate wiring which impresses potential to the gate of the switching element of said pixel. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, With the drive potential which prepares the 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines, and is impressed to said 1st gate side inspection wiring and the 2nd gate side inspection wiring The inspection approach of the liquid crystal display characterized by making the pixel of odd lines, and the pixel of even lines separate and drive.

**[Claim 2]** It is the inspection approach of the liquid crystal display of an active matrix connected to other gate wiring with which the storage capacitance for holding the pixel potential of the pixel electrode of each pixel adjoins gate wiring which impresses potential to the gate of the switching element of said pixel. Three source side inspection wiring according to each color linked to the source wiring of the train which arranged the pixel according to red, green, and blue color, Or three source side inspection wiring linked to source wiring with the same combination of the color of the pixel of odd lines and the color of the pixel of even lines in a train is prepared. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, The 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines is prepared. Counterelectrode side inspection wiring linked to the counterelectrode prepared so that the pixel electrode of each of said pixel might counter on both sides of liquid crystal is prepared. With the impression potential to said 1st gate side inspection wiring After the gate makes the switching element connected to the 1st gate side inspection wiring a predetermined period ON state from an OFF state, it considers as an OFF state. During the predetermined period to the pixel potential of the pixel electrode with which said gate minded the switching element connected to the 1st gate side inspection wiring from said 2nd gate side inspection wiring Actuation impressed through storage capacitance is considered as actuation 1. With the impression potential to said 2nd gate side inspection wiring After the gate makes the switching element connected to the 2nd gate side inspection wiring a predetermined period ON state from an OFF state, it considers as an OFF state. Actuation impressed to the pixel potential of the pixel electrode with which said gate minded the switching element connected to the 2nd gate side inspection wiring through storage capacitance from said 1st gate side inspection wiring is considered as actuation 2 during the predetermined period. When actuation which makes said each of switching elements an OFF state with the impression potential to the 1st gate side inspection wiring and the 2nd gate side inspection wiring is considered as actuation 3, A series of actuation is repeated in the sequence of actuation 1, actuation 2, actuation 3, actuation 2, actuation 1, and actuation 3. The inspection approach of the liquid crystal display characterized by impressing a data signal to red, green, and said source side inspection wiring of each blue according to the selected color, and inspecting by displaying white, black, red, and a green and blue color monochrome screen.

[Claim 3] The predetermined period which makes a switching element an ON state with the impression potential to the 1st gate side inspection wiring or the 2nd gate side inspection wiring When potential which sets to Voff potential which makes said switching element off, and sets said switching element to ON is set to Von, Von potential is impressed from the condition of Voff potential, and the potential of gate wiring in a liquid crystal display serves as  $\{0.9x(Von-Voff)+Voff\}$ , and starts. A period, A period required to write a data signal in a pixel electrode from source wiring through said switching element, It is beyond a period adding the falling period when the potential of said gate wiring impresses Voff potential from the condition of Von at, and serves as  $\{0.9x(Voff-Von)+Von\}$ . Von potential is impressed from the condition of Voff, and the potential of gate wiring in a liquid crystal display serves as Von, and starts. And a period, The period taken to write data in a pixel electrode from source wiring through said switching element, The inspection approach of the liquid crystal display according to claim 1 or 2 characterized by carrying out to under the period adding the falling period when the potential of gate wiring in a liquid crystal display impresses Voff potential from the condition of Von at, and serves as Voff.

[Claim 4] The period of actuation 1 and actuation 2 is the inspection approach of the liquid crystal display according to claim 1 to 3 characterized by considering as a twice [ more than ] as many period as said predetermined period which made the switching element the ON state.

[Claim 5] The inspection approach of the liquid crystal display according to claim 1 to 4 characterized by making it equal to the period which can hold the potential in which the period which is an OFF state existed each switching element two kinds of merits and demerits with the impression potential to the 1st gate side inspection wiring and the 2nd gate side inspection wiring, among those the pixel in a liquid crystal display wrote the period of the longer one.

[Claim 6] The inspection approach of the drive potential which is impressed according to resistance and capacity of said each wiring and said inspection wiring of each from said gate side [ 2 ] inspection wiring and said three source side inspection wiring and which makes said switching element an ON state and an OFF state, and the liquid crystal display according to claim 1 to 5 characterized by delaying the data signal written in a pixel electrode in time, or making it bring forward.

[Claim 7] It is test equipment of the liquid crystal display of an active matrix connected to other gate wiring with which the storage capacitance for holding the pixel potential of the pixel electrode of each pixel adjoins gate wiring which impresses potential to the gate of the switching element of said pixel. Three source side inspection wiring according to each color linked to the source wiring of the train which arranged the pixel according to red, green, and blue color, Or three source side inspection wiring linked to source wiring with the same combination of the color of the pixel of odd lines and the color of the pixel of even lines in a train is prepared. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, The 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines is prepared. Counterelectrode side inspection wiring linked to the counterelectrode prepared so that all the pixel electrodes of each of said pixel might counter on both sides of liquid crystal is prepared. Test equipment of the liquid crystal display characterized by having established a selection means to choose the color to inspect and establishing a signal generation means to impress the drive potential according to the color chosen by said selection means to said three source side inspection wiring, the 1st and 2nd gate side inspection wiring, and counterelectrode side inspection wiring.

---

[Translation done.]

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the inspection approach of the liquid crystal display of an active matrix.

[0002]

[Description of the Prior Art] In recent years, the liquid crystal display attracts attention from the point of magnitude or a low power as a display which displays an alphabetic character and information. In order for a response to display an animation vividly early also in it, the liquid crystal display of an active matrix which connected the switching element represented by each pixel at TFT (thin film transistor) attracts attention.

[0003] What has arranged the pixel electrode which displays red, green, and blue in the delta array, and the thing arranged in the stripe array are shown in the liquid crystal display of an active matrix. The configuration of the liquid crystal display which considered the pixel electrode as the delta array is shown in drawing 13 and drawing 14. The top view of the liquid crystal display which drawing 13 considered as the delta array, and drawing 14 (a) are sectional views which meet the A-A'B-B which showed sectional view [ which meets a line ], and drawing 14 (b) to drawing 13 ' line shown in drawing 13.

[0004] Pixel electrode 1b on which 1g of pixel electrodes on which pixel electrode 1r on which red is displayed, and green are displayed, and blue are displayed is arranged at the delta array. That is, red, green, and the pixel electrode 1 of three blue colors are periodically arranged repeatedly by odd lateral lines, and by 1.5 pixels, in the longitudinal direction, to even lines, the same array as said odd lines shifts, and is arranged at them.

[0005] And between these pixel electrodes 1 is sewn and the gate wiring 2 and source wiring 3 are arranged. In a delta array, the pixel electrode 1 of the same color is arranged for every wiring of the gate wiring 2 as mentioned above at the same rank. The switching element 4 represented by said TFT is arranged at the intersection of the gate wiring 2 and source wiring 3, and red pixel electrode 1r, 1g of green pixel electrodes, blue pixel electrode 1b, and source wiring 3 are electrically connected or intercepted by the potential impressed to the gate wiring 2. Moreover, the storage capacitance 9 for holding the potential of the pixel electrode 1 and a counterelectrode 8 is connected to the pixel electrode 1 by the gate line 2 (other gate wiring contiguous to the gate wiring 2 which impresses potential to the gate of a switching element 4) of 1 this side.

[0006] Moreover, in this delta array, the pixel electrode 1 1 of two different colors for every line, i.e., the pixel electrode of the pixel which shifted [ electrode / 1 / of a same rank pixel / pixel ] from said train of odd lines to the longitudinal direction by 0.5 pixels in the same rank every even lines every odd lines, is connected to one source wiring 3 through the switching element 4. For example, 1g of green pixel electrodes is connected with red pixel electrode 1r. The same is said of 1g of green pixel electrodes, blue pixel electrode 1b and blue pixel electrode 1b, and red pixel electrode 1r.

[0007] In drawing 13, the gate drive circuit where 5 impresses drive potential to the gate wiring 2, the

source drive circuit where 6 impresses drive potential to source wiring 3, and 7 are counterelectrode drive circuits which impress drive potential to a counterelectrode 8, and the gate drive circuit 5, the source drive circuit 6, and the counterelectrode drive circuit 7 are arranged on the outside of a screen. [0008] As shown in drawing 14, the pixel electrode 1 counters with a counterelectrode 8 on both sides of liquid crystal 10, changes the rate of the transmitted light according to the potential difference of the pixel electrode 1 and a counterelectrode 8, and displays an alphabetic character and information.

[0009] Moreover, the configuration of the liquid crystal display which has arranged the pixel electrode in the stripe array, and the configuration of inspection wiring are shown in drawing 15. Drawing 15 shows the situation of inspection before completion. As shown in drawing 15, pixel electrode 1b on which 1g of pixel electrodes which display on a lateral line pixel electrode 1r on which red is displayed, and green, and blue are displayed is arranged repeatedly periodically, and the pixel electrode 1 of the same color is arranged by the train of a lengthwise direction.

[0010] In the inspection approach of the conventional liquid crystal display, in order to produce a liquid crystal display with the sufficient yield, the gate drive circuit 5, the source drive circuit 6, and the counterelectrode drive circuit 7 were connected to all gate wiring 2, source wiring 3, and counterelectrodes 8, respectively, potential was impressed, and white, black, red, and defect detection inspection on which the screen of green and blue is displayed were conducted.

[0011] In this defect detection inspection, although a probe is mainly used for connection with an inspection circuit, the gate wiring 2, and source wiring 3, if a liquid crystal display becomes small and highly minute, creation of a probe will become difficulty or unproducible.

[0012] The pixel electrode 1 in the liquid crystal display arranged at the stripe array The gate side inspection wiring G connected to all gate wiring 2 as shown in drawing 15 in order to cancel these un-arranging The source side inspection wiring S1 linked to all the source wiring 3 corresponding to red, The source side inspection wiring S2 linked to all the source wiring 3 that corresponds green, The source side inspection wiring S3 linked to all the source wiring 3 corresponding to blue, Inspection wiring of a total of five by the counterelectrode side inspection wiring C linked to a counterelectrode 8 is prepared, and after connecting and inspecting said each inspection wiring and said inspection circuit, the simple test configuration which cut said inspection wiring in the cutting section T is adopted.

[0013]

[Problem(s) to be Solved by the Invention] However, by such inspection approach of the conventional liquid crystal display, the switching element 4 always needed to be inspected by switch-on, and the problem that the defect by reason was undetectable was in the defect resulting from closing motion of a switching element 4, and poor property-of a switching element 4.

[0014] Furthermore, in the liquid crystal display with which the pixel electrode 1 has been arranged at the delta array, since the pixel electrode 1 of two colors was connected to one source wiring 3, red, green, and blue could not be displayed in one color, but there was a problem that an inspection power of test declined.

[0015] In the inspection approach of such a liquid crystal display, this invention aims at raising the inspection power of test of the defect who enables the display of red, green, and blue and originates in patterns, such as each pixel configuration and said each wiring, even when defect inspection can be carried out and the pixel electrode has moreover been arranged at the delta array, even if it does not use a probe.

[0016] Moreover, when the pixel electrode has been arranged at the stripe array, it aims at raising the inspection power of test of the defect resulting from the defect resulting from a switching element, the defect resulting from poor property-of a switching element, the defect by the variation in the maintenance property of pixel potential, each pixel configuration, and the pattern of said wiring of each.

[0017]

[Means for Solving the Problem] In the inspection approach of the liquid crystal display of this invention It is the inspection approach of the liquid crystal display of an active matrix connected to other gate wiring with which the storage capacitance for holding the pixel potential of the pixel electrode of each pixel adjoins gate wiring which impresses potential to the gate of the switching element of said

pixel. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, With the drive potential which prepares the 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines, and is impressed to said 1st gate side inspection wiring and the 2nd gate side inspection wiring It is characterized by making the pixel of odd lines, and the pixel of even lines separate and drive.

[0018] Even if it does not use a probe, even when according to this this invention defect inspection can be carried out and the pixel electrode has moreover been arranged at the delta array, the inspection approach of the liquid crystal display which raises the inspection power of test of the defect who enables the display of red, green, and blue and originates in patterns, such as each pixel configuration and said each wiring, is acquired.

[0019]

[Embodiment of the Invention] The storage capacitance for holding the pixel potential of the pixel electrode of each pixel invention of this invention according to claim 1 It is the inspection approach of the liquid crystal display of an active matrix connected to other gate wiring contiguous to gate wiring which impresses potential to the gate of the switching element of said pixel. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, With the drive potential which prepares the 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines, and is impressed to said 1st gate side inspection wiring and the 2nd gate side inspection wiring In the liquid crystal display which has connected storage capacitance to the gate line by which it is characterized by making the pixel of odd lines, and the pixel of even lines separate and drive, and the addition configuration of storage capacitance adjoins Even if a red pixel electrode, a green pixel electrode, and a blue pixel electrode are arranged at a delta array and the pixel electrode of two colors is connected to one source wiring through the switching element A pixel electrode has an operation that simple image inspection is realizable, like the liquid crystal display arranged at the stripe array.

[0020] The storage capacitance for holding the pixel potential of the pixel electrode of each pixel invention according to claim 2 It is the inspection approach of the liquid crystal display of an active matrix connected to other gate wiring contiguous to gate wiring which impresses potential to the gate of the switching element of said pixel. Three source side inspection wiring according to each color linked to the source wiring of the train which arranged the pixel according to red, green, and blue color, Or three source side inspection wiring linked to source wiring with the same combination of the color of the pixel of odd lines and the color of the pixel of even lines in a train is prepared. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, The 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines is prepared. Counterelectrode side inspection wiring linked to the counterelectrode prepared so that the pixel electrode of each of said pixel might counter on both sides of liquid crystal is prepared. With the impression potential to said 1st gate side inspection wiring After the gate makes the switching element connected to the 1st gate side inspection wiring a predetermined period ON state from an OFF state, it considers as an OFF state. During the predetermined period to the pixel potential of the pixel electrode with which said gate minded the switching element connected to the 1st gate side inspection wiring from said 2nd gate side inspection wiring Actuation impressed through storage capacitance is considered as actuation 1. With the impression potential to said 2nd gate side inspection wiring After the gate makes the switching element connected to the 2nd gate side inspection wiring a predetermined period ON state from an OFF state, it considers as an OFF state. Actuation impressed to the pixel potential of the pixel electrode with which said gate minded the switching element connected to the 2nd gate side inspection wiring through storage capacitance from said 1st gate side inspection wiring is considered as actuation 2 during the predetermined period. When actuation which makes said each of switching elements an OFF state with the impression potential to the 1st gate side inspection wiring and the 2nd gate side inspection wiring is considered as actuation 3, A series of actuation is repeated in the sequence of actuation 1, actuation 2,

actuation 3, actuation 2, actuation 1, and actuation 3. According to the selected color, a data signal is impressed to red, green, and said source side inspection wiring of each blue. In the liquid crystal display connected to the gate line by which the storage capacitance which is characterized by inspecting by displaying white, black, red, and a green and blue color monochrome screen, and holds the potential of a pixel electrode and a counterelectrode adjoins Even if a red pixel electrode, a green pixel electrode, and a blue pixel electrode are arranged at a delta array and the pixel electrode of two colors is connected to one source wiring through the switching element, it is possible to carry out simple image inspection by the inspection before completion of a liquid crystal display. When it had the operation that the functionality of a defect check by looking of a liquid crystal display was high as compared with the drive screen at the time of liquid crystal drive circuit formation and the source and gate wiring have connected with each inspection wiring too hastily, it has destruction of the switching element by static electricity, and an operation that a poor switching characteristic can be prevented.

[0021] Invention according to claim 3 is above-mentioned claim 1 or invention according to claim 2. The predetermined period which makes a switching element an ON state with the impression potential to the 1st gate side inspection wiring or the 2nd gate side inspection wiring When potential which sets to Voff potential which makes said switching element off, and sets said switching element to ON is set to Von, Von potential is impressed from the condition of Voff potential, and the potential of gate wiring in a liquid crystal display serves as  $\{0.9 \times (V_{on} - V_{off}) + V_{off}\}$ , and starts. A period, A period required to write a data signal in a pixel electrode from source wiring through said switching element, It is beyond a period adding the falling period when the potential of said gate wiring impresses Voff potential from the condition of Von at, and serves as  $\{0.9 \times (V_{off} - V_{on}) + V_{on}\}$ . Von potential is impressed from the condition of Voff, and the potential of gate wiring in a liquid crystal display serves as Von, and starts. And a period, The period taken to write data in a pixel electrode from source wiring through said switching element, It is characterized by carrying out to under the period adding the falling period when the potential of gate wiring in a liquid crystal display impresses Voff potential from the condition of Von at, and serves as Voff. By the inspection before completion of a liquid crystal display It has an operation that the functionality of a defect check by looking of a liquid crystal display and consistency are raised as compared with the drive screen at the time of liquid crystal drive circuit formation.

[0022] Invention according to claim 4 is invention according to claim 1 to 3. The period of actuation 1 and actuation 2 It is characterized by considering as a twice [ more than ] as many period as said predetermined period which made the switching element the ON state. While having not made gate potential of a switching element off, a possibility that the drive potential of source wiring may change and the potential at the time may be written in a pixel is avoided, and it has an operation appropriately and that actuation which writes the data signal from source wiring in said pixel electrode is ensured.

[0023] Invention according to claim 5 is invention according to claim 1 to 4. The period which is an OFF state exists each switching element two kinds of merits and demerits with the impression potential to the 1st gate side inspection wiring and the 2nd gate side inspection wiring. It is characterized by making it equal to the period which can hold the potential in which the pixel in a liquid crystal display wrote the period of the longer one. Among those, by the inspection before completion of a liquid crystal display Recognition of the point defect by the variation in the maintenance property of pixel potential is attained, and it has an operation that the functionality of a defect check by looking of a liquid crystal display and consistency are raised as compared with the drive screen at the time of liquid crystal drive circuit formation.

[0024] Invention according to claim 6 is invention according to claim 1 to 5. The drive potential which is impressed according to resistance and capacity of said each wiring and said inspection wiring of each from said gate side [ 2 ] inspection wiring and said three source side inspection wiring and which makes said switching element an ON state and an OFF state, It is characterized by delaying the data signal written in a pixel electrode in time, or making it bring forward. By the inspection before completion of a liquid crystal display When writing the data signal from source wiring in a pixel electrode through a switching element, A margin is maintained to the gate threshold of said switching element, and it has an operation appropriately and that actuation which writes the data signal from source wiring in said pixel



electrode can be ensured.

[0025] The test equipment of the liquid crystal display of invention according to claim 7 It is test equipment of the liquid crystal display of an active matrix connected to other gate wiring with which the storage capacitance for holding the pixel potential of the pixel electrode of each pixel adjoins gate wiring which impresses potential to the gate of the switching element of said pixel. Three source side inspection wiring according to each color linked to the source wiring of the train which arranged the pixel according to red, green, and blue color, Or three source side inspection wiring linked to source wiring with the same combination of the color of the pixel of odd lines and the color of the pixel of even lines in a train is prepared. The 1st gate side inspection wiring linked to gate wiring which impresses potential to the gate of the switching element of each pixel of odd lines, The 2nd gate side inspection wiring linked to gate wiring which impresses potential to the gate of said switching element of even lines is prepared. Counterelectrode side inspection wiring linked to the counterelectrode prepared so that all the pixel electrodes of each of said pixel might counter on both sides of liquid crystal is prepared. The drive potential according to the color which established a selection means to choose the color to inspect and was chosen by said selection means It is what is characterized by establishing a signal generation means to impress to said three source side inspection wiring, the 1st and 2nd gate side inspection wiring, and counterelectrode side inspection wiring. Even if a red pixel electrode, a green pixel electrode, and a blue pixel electrode are arranged at a delta array and the pixel electrode of two colors is connected to one source wiring through said switching element A pixel electrode like the liquid crystal display arranged at the stripe array It has an operation that inspection which could realize simple image inspection and raised functionality with the actual drive screen at the time of liquid crystal drive circuit formation regardless of whether arrangement of a pixel electrode is a delta array or it is a stripe array can be carried out.

[0026] Hereafter, the inspection approach of the liquid crystal display in the gestalt of operation of this invention and its equipment are explained based on a drawing. In addition, the same number is given to the same component as the component shown in drawing 13 of the conventional example - drawing 15 , and detailed explanation is omitted.

[0027] Drawing 1 is the top view showing the liquid crystal display and inspection wiring which use the inspection approach of the liquid crystal display in the gestalt of this operation, and the storage capacitance 9 for holding the potential between the pixel electrode 1 and a counterelectrode 8 is connected by the gate line 2 of 1 this side.

[0028] A different point from the liquid crystal display in the gestalt of this operation and inspection wiring, and the configuration of the conventional example makes inspection wiring concerning the gate wiring 2 two, the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring, and is to have prepared inspection wiring of a total of six.

[0029] As shown in drawing 1 , it is formed on the glass substrate with which inspection wiring, the source side inspection wiring S1, the source side inspection wiring S2, the source side inspection wiring S3, the 1st gate side inspection wiring G1, the 2nd gate side inspection wiring G2, and the counterelectrode side inspection wiring C, of a total of six pulled out to the exterior of the display rectangle of a liquid crystal display, and the pixel electrode 1 was formed as test equipment of a liquid crystal display. The 1st line by which the 1st gate side inspection wiring G1 was arranged along with the gate wiring 2, It connects with all gate wiring 2 of odd lines like the 3rd line and 5th line --, and, on the other hand, the 2nd gate side inspection wiring G2 is connected to all gate wiring 2 of even lines like the 2nd line arranged along with the gate wiring 2, the 4th line, and 6th line --.

[0030] The source side inspection wiring S1 is connected to all the source wiring 3 by which 1g of green pixel electrodes is connected with red pixel electrode 1r of the source wiring 3 through the switching element 4. The source side inspection wiring S2 is connected to all the source wiring 3 to which 1g of green pixel electrodes of the source wiring 3 and blue pixel electrode 1b are connected through the switching element 4. The source side inspection wiring S3 is connected to all the source wiring 3 to which blue pixel electrode 1b of the source wiring 3 and red pixel electrode 1r are connected through the switching element 4. Moreover, the counterelectrode side inspection wiring C is connected to the

counterelectrode 8.

[0031] The block diagram of the test equipment which impresses checking drive potential to drawing 12 to the inspection wiring G1, G2, S1, S2, S3, and C of the liquid crystal display with which the above-mentioned inspection wiring was formed on the glass substrate is shown.

[0032] A signal generation means 12 by which the test equipment 11 of a liquid crystal display outputs checking drive potential to the above-mentioned inspection wiring G1, G2, S1, S2, S3, and C, The color displayed on a liquid crystal display, i.e., white, black, red, and green and the selecting switch 13 which chooses blue (an example of a selection means), It consists of distribution cables 14 which connect electrically between the above-mentioned inspection wiring G1, G2, S1, S2, and S3 and C with the signal generation means 12. From this test equipment 11, said drive potential according to the color which the inspector chose with a switch 13 is impressed through a distribution cable 14 to the above-mentioned inspection wiring G1, G2, S1, S2, S3, and C.

[0033] It explains in this test equipment 11, referring to a drawing about white, black, red, and the actuation in green and the inspection approach of displaying blue. Drawing 2 is the wave form chart showing the drive potential [ in / drawing 4 / a black display and / drawing 3 / a white display and / a red display and drawing 5 , and / in drawing 6 / inspection of a blue display ] of the driving signal outputted from the above-mentioned test equipment 11. [ a green display ] Drawing 7 - drawing 11 are the wave form charts of the liquid crystal potential at the time of impressing the drive potential for inspection shown in drawing 2 - drawing 6 . In drawing 7 , a red display and drawing 10 show a green display, and, as for a white display and drawing 8 , drawing 11 shows the relation at the time of a blue display, as for a black display and drawing 9 .

[0034] In drawing 2 - drawing 6 , drive potential impressed to the 1st gate side inspection wiring G1, the 2nd gate side inspection wiring G2, the source side inspection wiring S1, S2, and S3, and the counterelectrode side inspection wiring C is set to  $V_{g1}$ ,  $V_{g2}$ ,  $V_{s1}$ ,  $V_{s2}$ ,  $V_{s3}$ , and  $V_c$ , respectively. Moreover, let sufficient drive potentials for making each SUICHINGU component 4 open and close electrically be  $V_{on}$  potential and  $V_{off}$  potential. Furthermore, after a switching element 4 reaches the gate wiring 2 of 1 this side by the ON state through storage capacitance 9 at potential predetermined in the pixel electrode 1 In case it changes to an OFF state, with the parasitic capacitance which exists between the gate drains of a switching element 4 Let drive potentials which cancel a part for pixel potential fluctuation of the pixel electrode 1 produced in the pixel potential of the pixel electrode 1, and control the level of the pixel potential of the pixel electrode 1 to coincidence, and control the drive potential which makes liquid crystal drive be  $V_{e+}$  potential and  $V_{e-}$  potential. Moreover, make pin center, large potential of the square wave in the drive potentials  $V_{s1}$ ,  $V_{s2}$ , and  $V_{s3}$  into  $V_{sc}$  potential, and let DC wave level value in the drive potential  $V_c$  be  $V_{cc}$  potential. In addition, let  $V_{sc}$  potential and  $V_{cc}$  potential be the same potentials.

[0035] Moreover, in drawing 7 - drawing 11 , each liquid crystal potential of red pixel electrode of odd lines 1r connected to the 1st gate side inspection wiring G1, 1g of green pixel electrodes, and blue pixel electrode 1b is set to  $V_{1r}$ ,  $V_{1g}$ , and  $V_{1b}$ . Each liquid crystal potential of 1g of green pixel electrodes of even lines connected to the 2nd gate side inspection wiring G2, blue pixel electrode 1b, and red pixel electrode 1r is set to  $V_{1g}$ ,  $V_{1b}$ , and  $V_{1r}$ .

[0036] The condition of the drive potentials  $V_{g1}$  and  $V_{g2}$  of the gate side inspection wiring G1 and G2 of the "actuation 1" in drawing 2 - drawing 6 , "actuation 2", and "actuation 3" is explained.

After the drive potential  $V_{g1}$  of the 1st gate side inspection wiring G1 of <actuation 1> makes  $V_{on}$  potential impress once from the condition of  $V_{off}$  potential,  $V_{e+}$  potential, or  $V_{e-}$  potential,  $V_{e+}$  potential or  $V_{e-}$  potential is impressed and it is made into the condition that  $V_{e+}$  potential or  $V_{e-}$  potential is impressed to the 2nd gate side inspection wiring G2, during the period.

[0037] By this actuation 1, the switching element 4 by which the gate is connected to the 1st gate side inspection wiring G1 with the impression potential to the 1st gate side inspection wiring G1 will be in an OFF state, after being from an OFF state in a predetermined period ON state.

[0038] Said switching element 4 during the predetermined period with the impression potential to the 2nd gate side inspection wiring G2 by the OFF state After a switching element 4 reaches potential

predetermined in the pixel electrode 1 by the ON state, in case it changes to an OFF state, with and the parasitic capacitance which exists between the gate drains of a switching element 4 A part for pixel potential fluctuation of the pixel electrode produced in the pixel potential of the pixel electrode 1 is canceled. And it is impressed by the pixel potential of the pixel electrode 1 through the switching element 4 by which the potential which controls the drive potential which the level of the pixel potential of a pixel electrode is controlled [ potential ] to coincidence, and makes it drive liquid crystal 10 is connected to the 1st gate side inspection wiring G1 in the gate through storage capacitance 9.

After the drive potential  $V_{g2}$  of the 2nd gate side inspection wiring G2 of <actuation 2> makes  $V_{on}$  potential impress once from the condition of  $V_{off}$  potential,  $V_{e+}$  potential, or  $V_{e-}$  potential,  $V_{e+}$  potential or  $V_{e-}$  potential is impressed and it is made into the condition that  $V_{e+}$  or  $V_{e-}$  potential is impressed to the 1st gate side inspection wiring G1, during this period.

[0039] By this actuation 2, the switching element 4 by which the gate is connected to the 2nd gate side inspection wiring G2 with the impression potential to the 2nd gate side inspection wiring G2 will be in an OFF state, after being from an OFF state in a predetermined period ON state.

[0040] the impression potential to the 1st gate side inspection wiring G1 during the predetermined period -- said switching element 4 -- an OFF state -- and After a switching element 4 reaches potential predetermined in a pixel electrode by the ON state, in case it changes to an OFF state, with the parasitic capacitance which exists between the gate drains of a switching element 4 A part for pixel potential fluctuation of the pixel electrode produced in the pixel potential of a pixel electrode is canceled. And it is impressed by the pixel potential of the pixel electrode through the switching element 4 by which the potential which controls the drive potential which the level of the pixel potential of a pixel electrode is controlled [ potential ] to coincidence, and makes it drive liquid crystal 10 is connected to the 2nd gate side inspection wiring in the gate through storage capacitance 9.

It considers as the condition that  $V_{off}$  potential is impressed to both the 1st gate side inspection wiring G1 of <actuation 3>, and the 2nd gate side inspection wiring G2.

[0041] In addition, the period [ in / for the period of actuation 1 and actuation 2 /  $\tau_{aua}$  the drive potential  $V_{g1}$ , and the drive potential  $V_{g2}$  ] of  $V_{on}$  is set to  $\tau_{aub}$ . When this liquid crystal display has the small potential difference between the pixel electrode 1 and a counterelectrode 8, red, green, and blue are displayed, when the potential difference is large, black is displayed, and liquid crystal 10 shall maintain the potential difference of the pixel electrode 1 and a counterelectrode 8 with storage capacitance 9 after a switching element 4 is intercepted until it next conducts current.

[0042] A series of actuation is repeated in the sequence of the above-mentioned actuation 1, actuation 2, actuation 3, actuation 2, actuation 1, and actuation 3, and the data signals  $V_{s1}$ ,  $V_{s2}$ , and  $V_{s3}$  shown in red, green, and the source side inspection wiring S1, S2, and S3 of each blue at drawing 2 - drawing 6 are impressed according to the color chosen by the selecting switch 13. Thereby, white, black, red, and a green and blue color monochrome screen are displayed.

[0043] An inspector inspects a liquid crystal display with this displayed color monochrome screen. After the completion of inspection irradiates laser light along with the cutting section T shown with the alternate long and short dash line shown in drawing 1 , and melts some circuit patterns. Connection with said all source wiring 3 connected at said each source side inspection wiring S1, S2, and S3 and each, Connection with said all gate wiring 2 connected with the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2 at each, And connection between the counterelectrode side inspection wiring C and said counterelectrode 8 is cut, the gate drive circuit 5, the source drive circuit 6, and the counterelectrode drive circuit 7 are formed, and a product is made. In addition, destruction of the switching element 4 by static electricity and the prevention effectiveness of a poor switching characteristic are expectable with the charge dispersion effect by the short circuit until it disconnects the electrical connection between said each inspection wiring and source wiring 3, the gate wiring 2, and a counterelectrode 8.

[0044] Thus, by making into two, the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2, inspection wiring connected to the gate wiring 2, and changing and impressing the  $V_{on}$  potential impressed to the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2

to predetermined timing, the display of white, black, red, green, and blue is possible, and a simple test can be realized.

[0045] Moreover, it considers as the configuration which distinguishes the gate wiring 2 of odd lines, and the gate wiring 2 of even lines, and is connected. When the storage capacitance 9 of each pixel electrode 1 is connected to the gate wiring 2 of 1 this side, By the timing of the Von potential impressed to the 1st gate side inspection wiring G1 in consideration of the potential condition between the pixel electrode 1 when writing a data signal in each pixel electrode 1 from source wiring 3, and a counterelectrode 8, and the 2nd gate side inspection wiring G2 The pixel group of Rhine of the gate wiring 2 connected to the 1st gate side inspection wiring G1, Role length \*\*\*\*\* is made to canceling a brightness difference with the Rhine pixel group of the gate wiring 2 connected to the 2nd gate side inspection wiring G2, i.e., the feed-through potential difference in the pixel potential of the gate of odd lines, and the pixel potential of the gate of even lines. The feed-through potential difference means the potential difference which the charge charged by liquid crystal capacity and storage capacitance 9 when a gate pulse was ON generates by being redistributed to each capacity at the moment of a gate pulse being turned off under the effect of the parasitic capacitance between the source of a switching element 4, and the gate. It can stop a flicker, i.e., with [ of a screen ] \*\*\*\*, by this, and the screen display which does not have a flicker in 24Hz or more in a period after data are written in a perpendicular period (field period), i.e., a certain pixel, until it is written in a degree is made possible.

[0046] In addition, although the perpendicular period of two kinds of merits and demerits exists with the gestalt of this operation so that drawing 2 - drawing 6 may show on actuation, the perpendicular period with the above-mentioned longer 24Hz or more shall be pointed out.

[0047] Moreover, it is not \*\* in 1/2 amplitude value of the drive potentials Vs1, Vs2, and Vs3 to which the driver voltage of the liquid crystal 10 which exists between the pixel electrode 1 and a counterelectrode 8 conventionally is impressed from source wiring 3 through each source side inspection wiring S1, S2, and S3. Produce the potential difference for the potential of the pixel electrode 1 more to the potential of a counterelectrode through the storage capacitance 9 of the drive potentials Vg1 and Vg2 by which a seal of approval is carried out to the gate wiring 2 through each gate side inspection wiring G1 and G2. Or since the driver voltage of the liquid crystal 10 which exists between the pixel electrode 1 and a counterelectrode 8 is earned with Ve+ of abolishing the potential difference, and Ve-potential, When the poor point defect of the luminescent spot is shown in a liquid crystal display as compared with the time of the drive which earns the driver voltage of liquid crystal by the amplitude value of the amplitude value of source potential, or source potential, and the amplitude value of counterelectrode potential, the effectiveness of making the poor point defect of said luminescent spot more conspicuous for the field of visibility is born.

[0048] Although it is visible only in the delicate halftone luminescent spot in the black display screen by the drive which earns the driver voltage of liquid crystal by the amplitude value of the amplitude value of source potential, or source potential, and the amplitude value of counterelectrode potential if an example is given, in the black display screen by the drive of this invention, it can check by looking with the perfect luminescent spot and production loss reduction by inspection overlooking can be aimed at.

[0049] Furthermore, it is made equal to the period which maintains the potential difference between the pixel electrodes 1 and counterelectrodes 8 in the actual drive when forming a liquid crystal drive circuit in a liquid crystal display for the period when Voff potential is impressed to both the 1st gate side inspection wiring G1 connected to the gate wiring 2, and the 2nd gate side inspection wiring G2, i.e., the period of actuation 3. In this case, by the inspection approach of this invention, since the perpendicular period of two kinds of merits and demerits exists as mentioned above, it is made equal to the period which maintains the potential difference between the pixel electrodes 1 and counterelectrodes 8 in the actual drive when forming a liquid crystal drive circuit in a liquid crystal display for the period of the Voff potential of the longer one.

[0050] It is for the reason avoiding superfluous inspection of the defect resulting from the maintenance property of pixel potential, since the inspection by the inspection approach of the gestalt this operation is positioning made into the in-process inspection in a liquid crystal display manufacture process. Thereby,

recognition of the point defect by maintenance property dispersion of pixel potential is attained. In addition, a maintenance property depends for the OFF state current of a switching element, pixel capacity, and liquid crystal resistance on the leakage current which leads.

[0051] Moreover, period  $\tau_{aub}$  which sets a switching element 4 to ON with the impression potential to the 1st gate side inspection wiring G1 or the 2nd gate side inspection wiring G2. A standup period in case the potential of the gate wiring 2 in a liquid crystal display impresses  $V_{on}$  potential to the \*\* gate side inspection wiring G1 or the 2nd gate side inspection wiring G2 from the condition of  $V_{off}$  potential and the potential of the gate wiring 2 serves as  $\{0.9 \times (V_{on} - V_{off}) + V_{off}\}$ . A period required to write the data signal from source wiring 3 in the pixel electrode 1 through a switching element 4. The potential of the gate wiring 2 in a liquid crystal display impresses  $V_{off}$  potential to the 1st gate side inspection wiring G1 or the 2nd gate side inspection wiring G2 from the condition of  $V_{on}$  potential. It is beyond a period adding a falling period in case the potential of the gate wiring 2 serves as  $\{0.9 \times (V_{off} - V_{on}) + V_{on}\}$ . And a standup period in case the potential of the gate wiring 2 in a liquid crystal display impresses  $V_{on}$  potential to the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2 from the condition of  $V_{off}$  potential and the potential of the gate wiring 2 turns into  $V_{on}$  potential. A period required to write the data signal from source wiring 3 in the pixel electrode 1 through the above-mentioned switching element 4. It carries out to under the period adding a falling period in case the potential of the gate wiring 2 in a liquid crystal display impresses  $V_{off}$  potential to the 1st gate side inspection wiring G1 or the 2nd gate side inspection wiring G2 from the condition of  $V_{on}$  potential and the potential of the gate wiring 2 serves as  $V_{off}$ .

[0052] The drive potential  $V_{g1}$  and the drive potential  $V_{g2}$  which are impressed to the gate wiring 2 produce delay with the resistance and capacity which the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2, and the gate wiring 2 have. When the time amount which sets a switching element 4 to ON is too long, and delay arises in the wave changed from  $V_{on}$  potential to  $V_{off}$  potential, there is a possibility that the defect who it becomes impossible to intercept a switching element 4 to predetermined timing, and originates in a switching element 4 cannot detect. Functionality with the drive screen at the time of liquid crystal drive circuit formation, i.e., the visibility of the luminescent spot, will be in agreement with a setup of the above-mentioned period  $\tau_{aub}$  to the point defect by the variation in the switching characteristic of a switching element 4, especially the luminescent spot.

[0053] It is necessary to make period  $\tau_{aua}$  which hits at the period of actuation 1 and actuation 2 of operation into twice [ more than ] period  $\tau_{aub}$  which impresses  $V_{on}$  potential. The drive potential  $V_{g1}$  and the drive potential  $V_{g2}$  which are impressed to the gate wiring 2 as mentioned above produce delay with the resistance and capacity which the 1st gate side inspection wiring G1, the 2nd gate side inspection wiring G2, and the gate wiring 2 have. Therefore, while having not made gate potential of a switching element 4 off, a possibility that the drive potentials  $V_{s1}$ - $V_{s3}$  of source wiring 3 may change, and the potential at the time may be written in a pixel is. Therefore, it is necessary to make of operation period  $\tau_{aua}$  into twice [ more than ] period  $\tau_{aub}$  which impresses  $V_{on}$  potential, and it needs to secure sufficient time amount.

[0054] Moreover, according to resistance and capacity of each wiring and each inspection wiring, he delays in time the drive potentials  $V_{g1}$  and  $V_{g2}$  which are impressed from the gate side [ 2 ] inspection wiring G1 and G2 and the three source side inspection wiring S1, S2, and S3 and which make a switching element 4 an ON state and an OFF state, and the data signal (drive potentials  $V_{s1}$ - $V_{s3}$ ) written in the pixel electrode 1, or is trying to bring forward. The reason is inspection before completion of a liquid crystal display, and when writing the data signal from source wiring 3 in the pixel electrode 1 through a switching element 4, it is for making the actuation which is made to maintain a margin to the gate threshold of a switching element 4, and writes the data signal from source wiring 3 in the pixel electrode 1 appropriately and ensure.

[0055] Moreover, the amplitude of the drive potential  $V_{g1}$  of the gate wiring 2 of odd lines connected to the 1st gate side inspection wiring G1 when two are prepared like the 1st gate side inspection wiring G1 and the 2nd gate side inspection wiring G2, It is necessary to make the same the amplitude of the drive

potential  $V_{g2}$  impressed to the gate wiring 2 of even lines connected to the 2nd gate side inspection wiring G2, and to make the same the liquid crystal electrical potential difference in the pixel electrode 1 of each pixel of the same color connected to the gate wiring 2 irrespective of odd lines and even lines. Therefore, while connecting each gate wiring 2 to either the 1st gate side inspection wiring G1 or the 2nd gate side inspection wiring G2 It considers as the structure which intersects the 2nd gate side inspection wiring G2 of another side, or the 1st gate side inspection wiring G1 on a circuit pattern, and is made to make the same the resistance and capacity which are produced in the 1st gate side [ 2 ] inspection wiring G1 and the 2nd gate side inspection wiring G2.

[0056] In addition, although the pixel electrode 1 mentioned as the example the liquid crystal display arranged at the delta array and explained it with the gestalt of this operation Are effective also to the liquid crystal display which has arranged the pixel electrode 1 in the stripe array. Make into two inspection wiring connected to the gate wiring 2, and it impresses to timing which was explained with the gestalt of this operation of the Von potential impressed to the gate side [ 2 ] inspection wiring G1 and the 2nd gate side inspection wiring G2. Impress the potential of a data signal which displays white, black, red, green, and blue on the source side inspection wiring S1, S2, and S3, and by carrying out image inspection The defect resulting from closing motion of a switching element 4, the defect resulting from poor property-of a switching element 4, and the defect by dispersion in the maintenance property of pixel potential can be detected, and the defect visibility of a point defect is improving, and production loss reduction by inspection overlooking can be aimed at.

[0057]

[Effect of the Invention] As mentioned above, in the liquid crystal display with which the addition configuration of storage capacitance has connected storage capacitance to the gate line of 1 this side, even if a red pixel electrode, a green pixel electrode, and a blue pixel electrode are arranged at a delta array and the pixel electrode of two colors is connected to one source wiring through said switching element, simple image inspection is realizable according to this invention, like the liquid crystal display with which the pixel electrode is arranged at the stripe array.

---

[Translation done.]

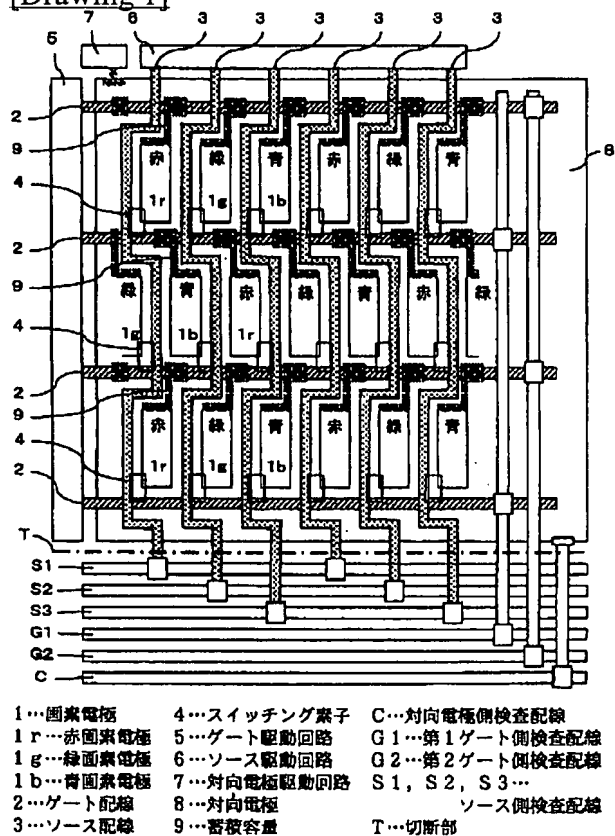
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

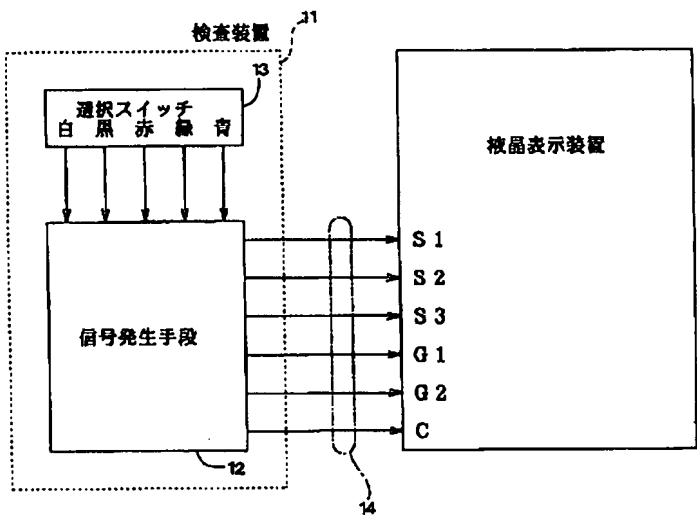
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

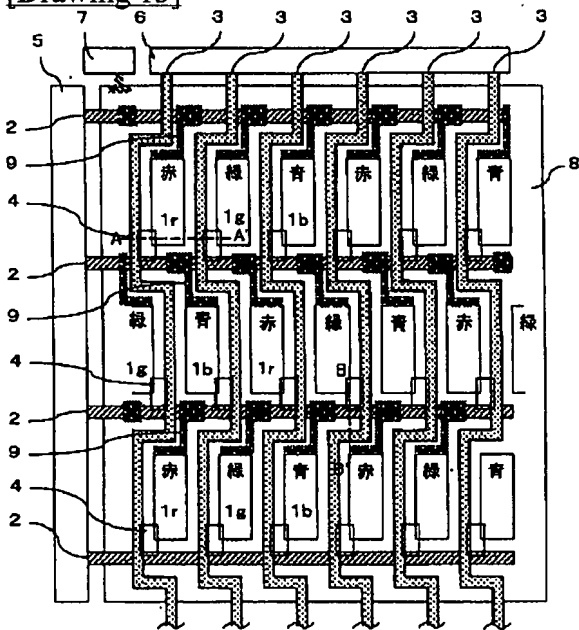
[Drawing 1]



[Drawing 12]

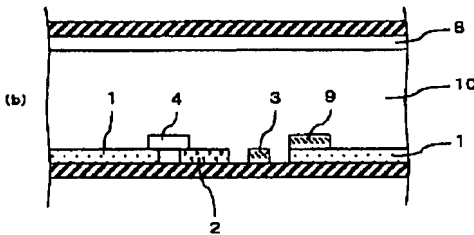
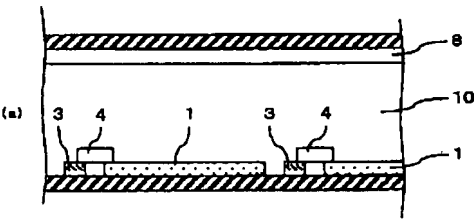


[Drawing 13]

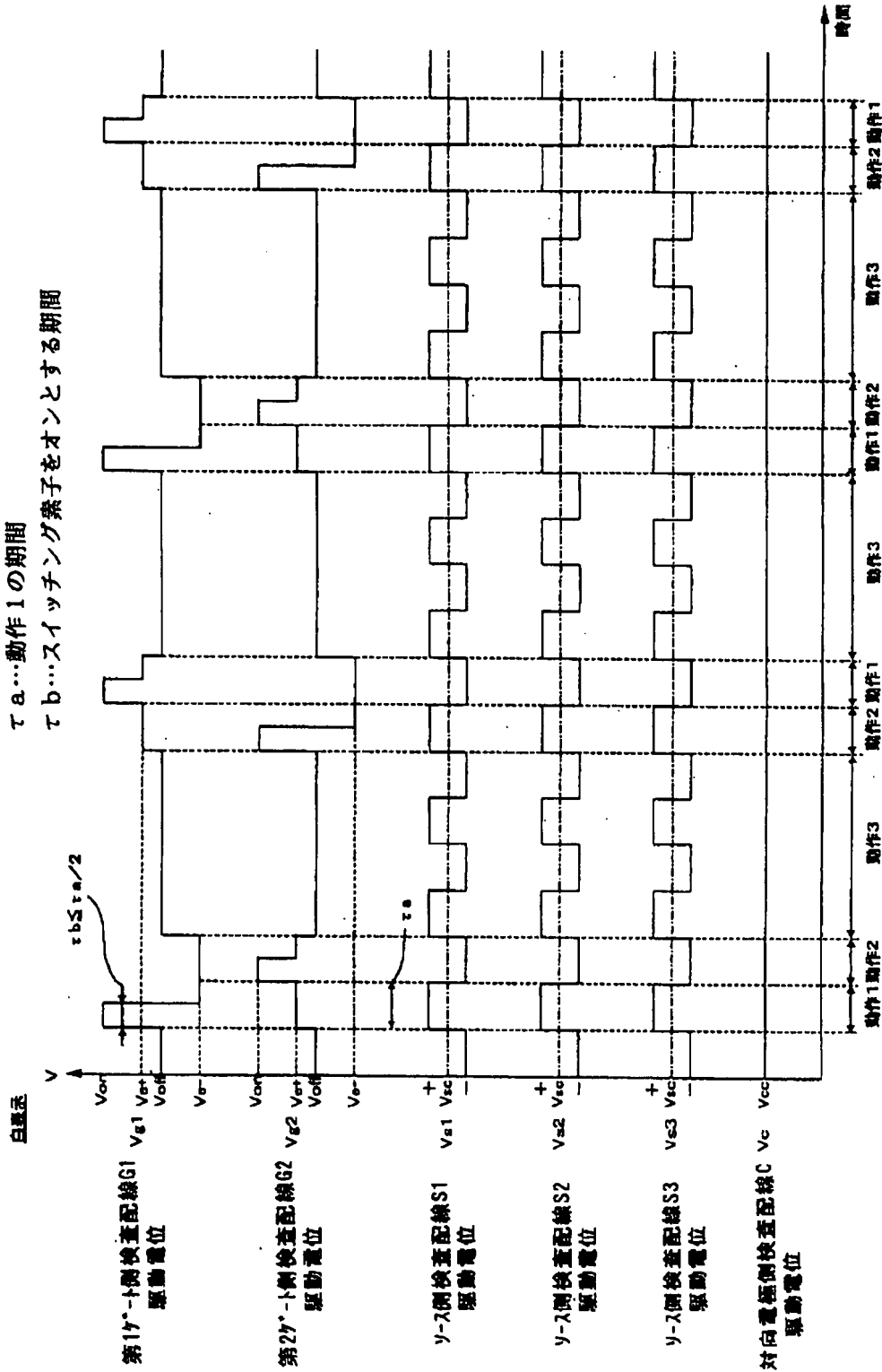


[Drawing 14]

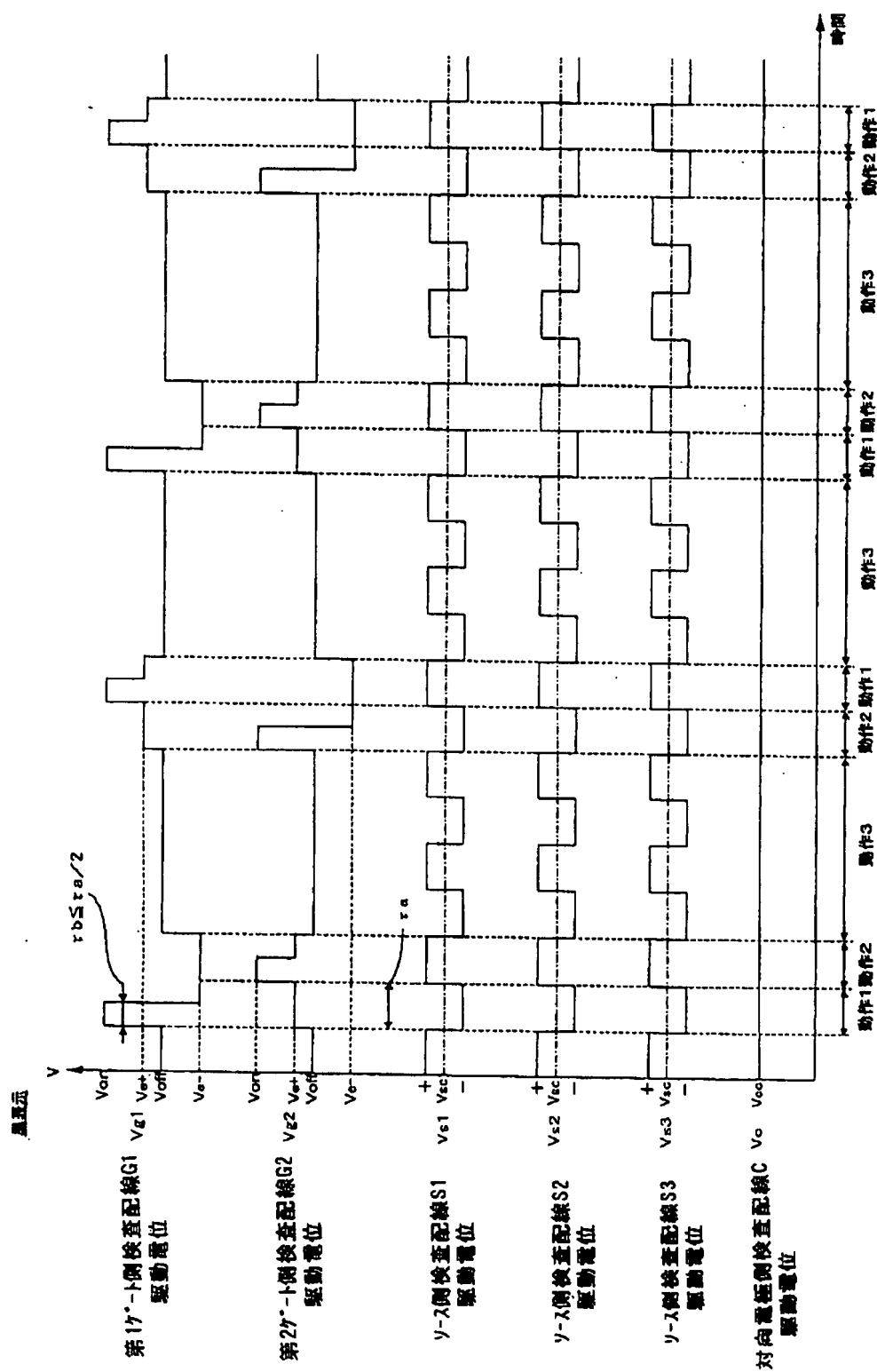




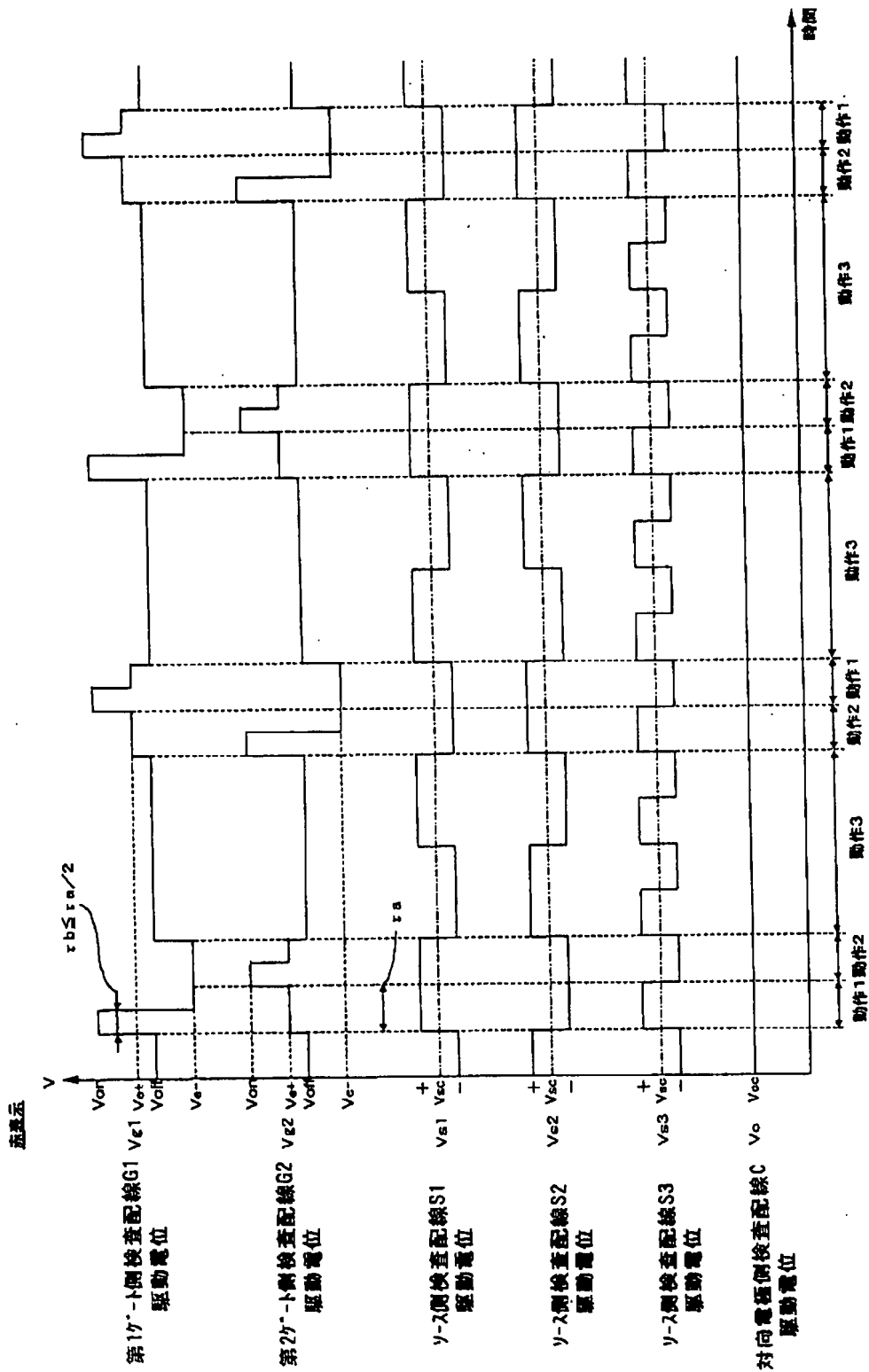
[Drawing 2]



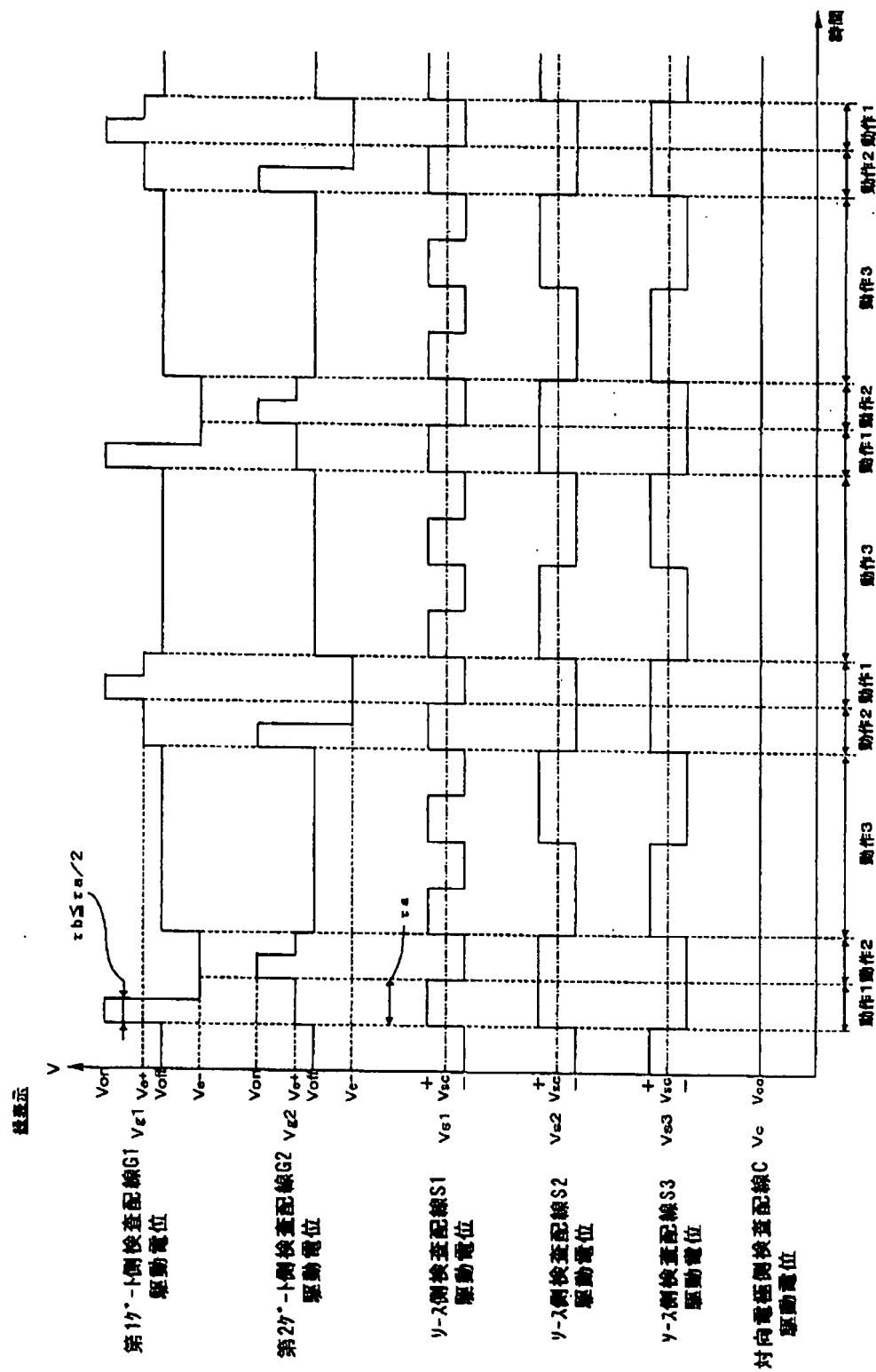
[Drawing 3]



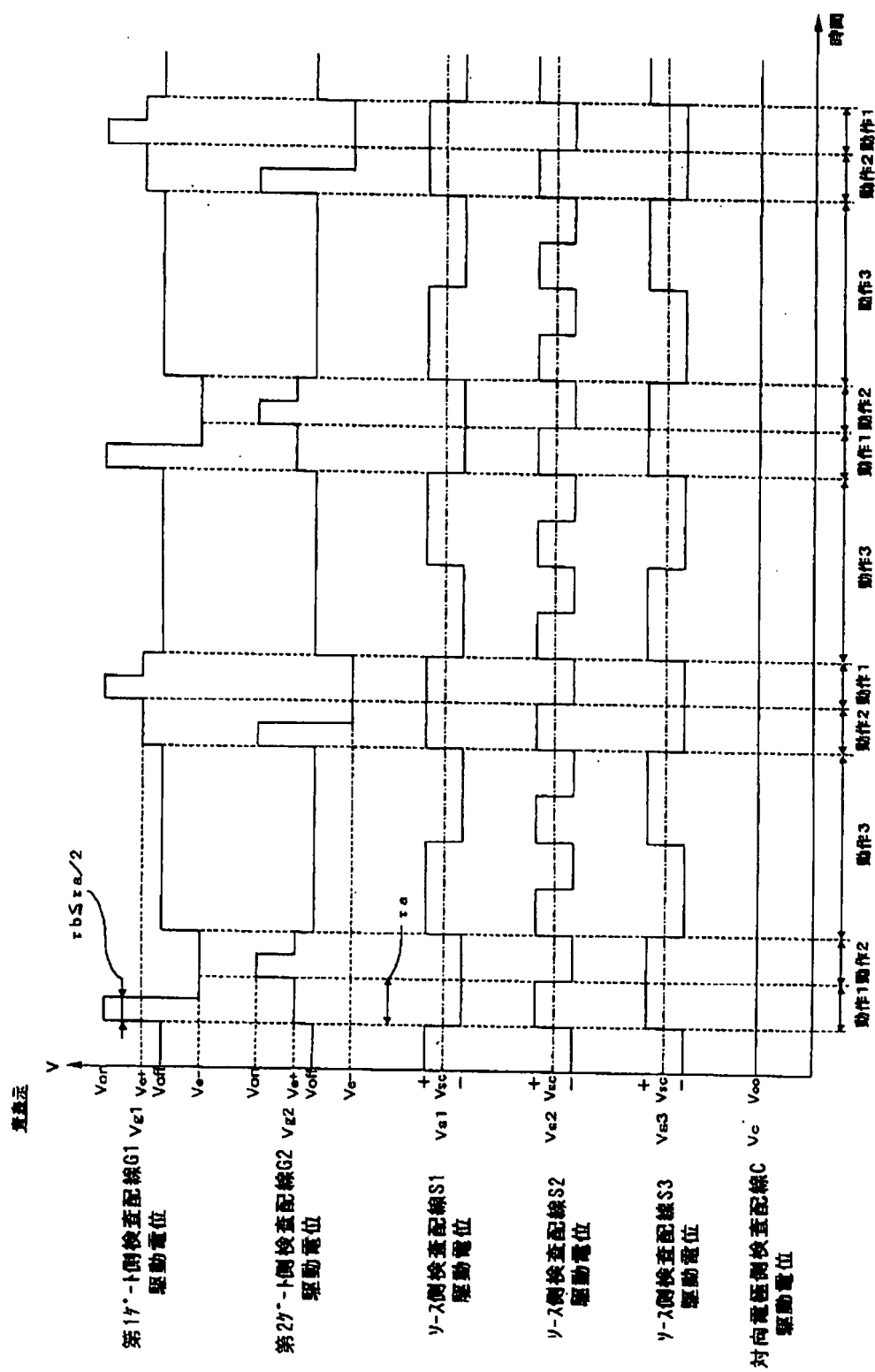
[Drawing 4]



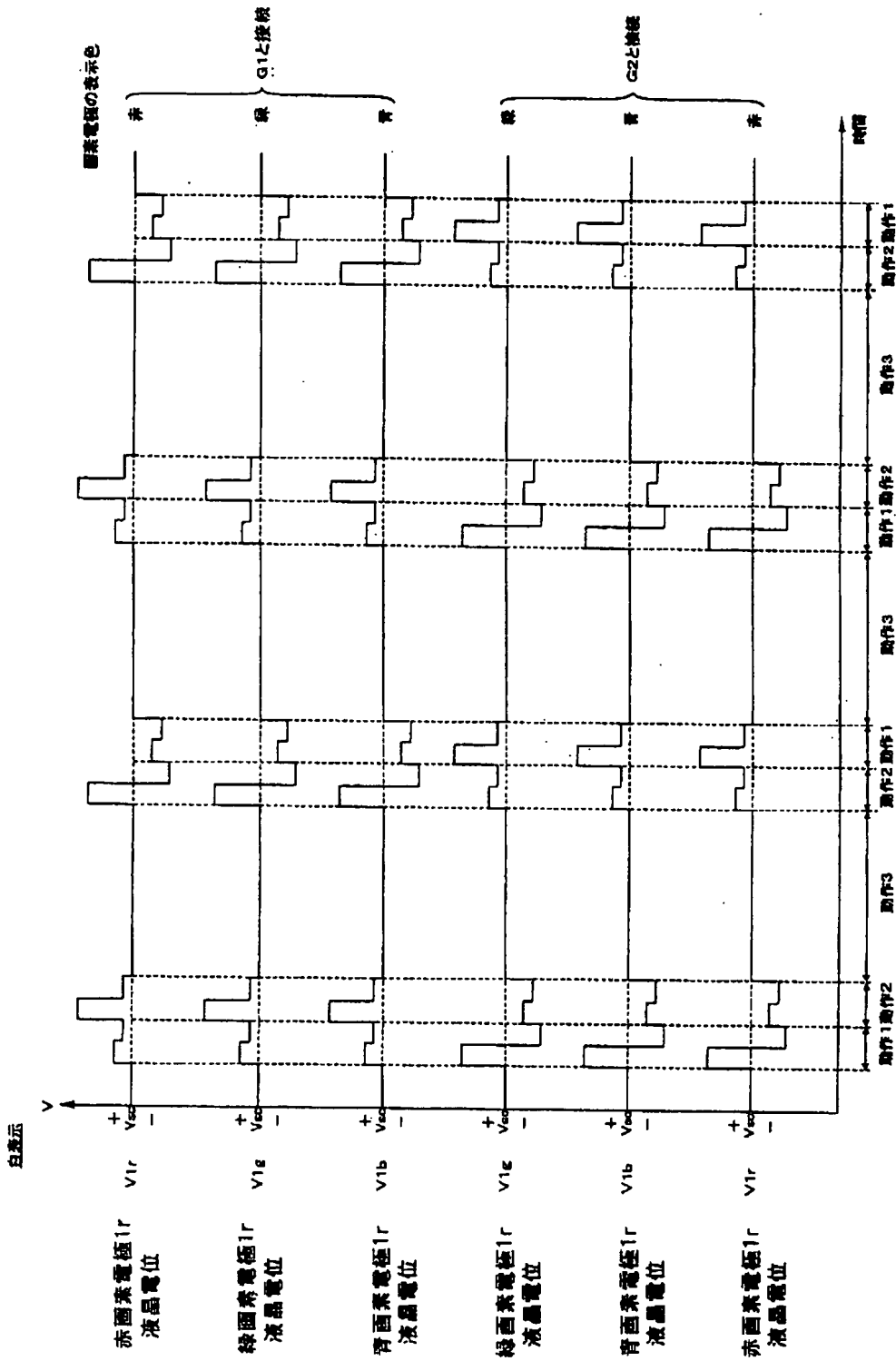
[Drawing 5]



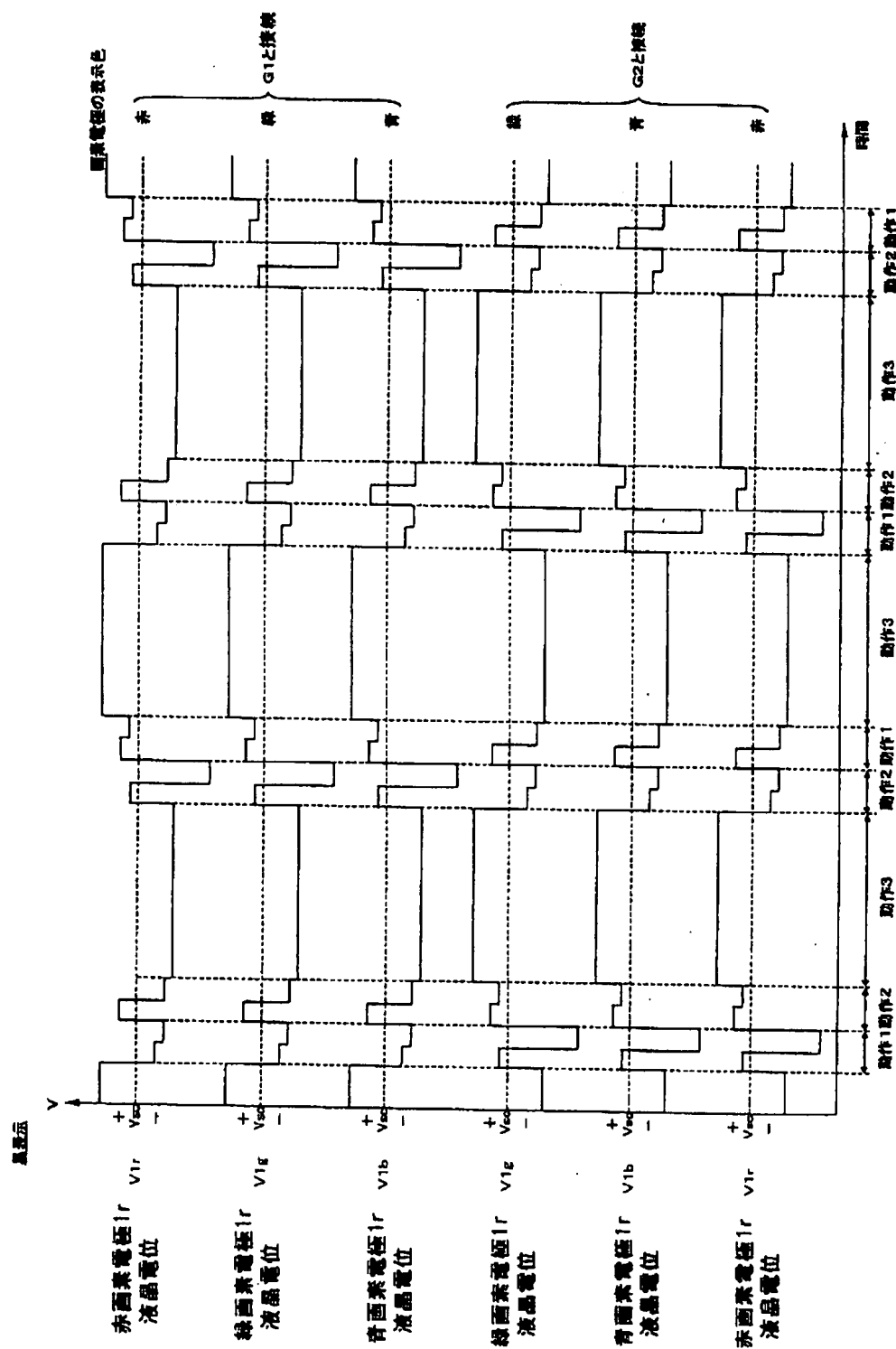
[Drawing 6]



[Drawing 7]

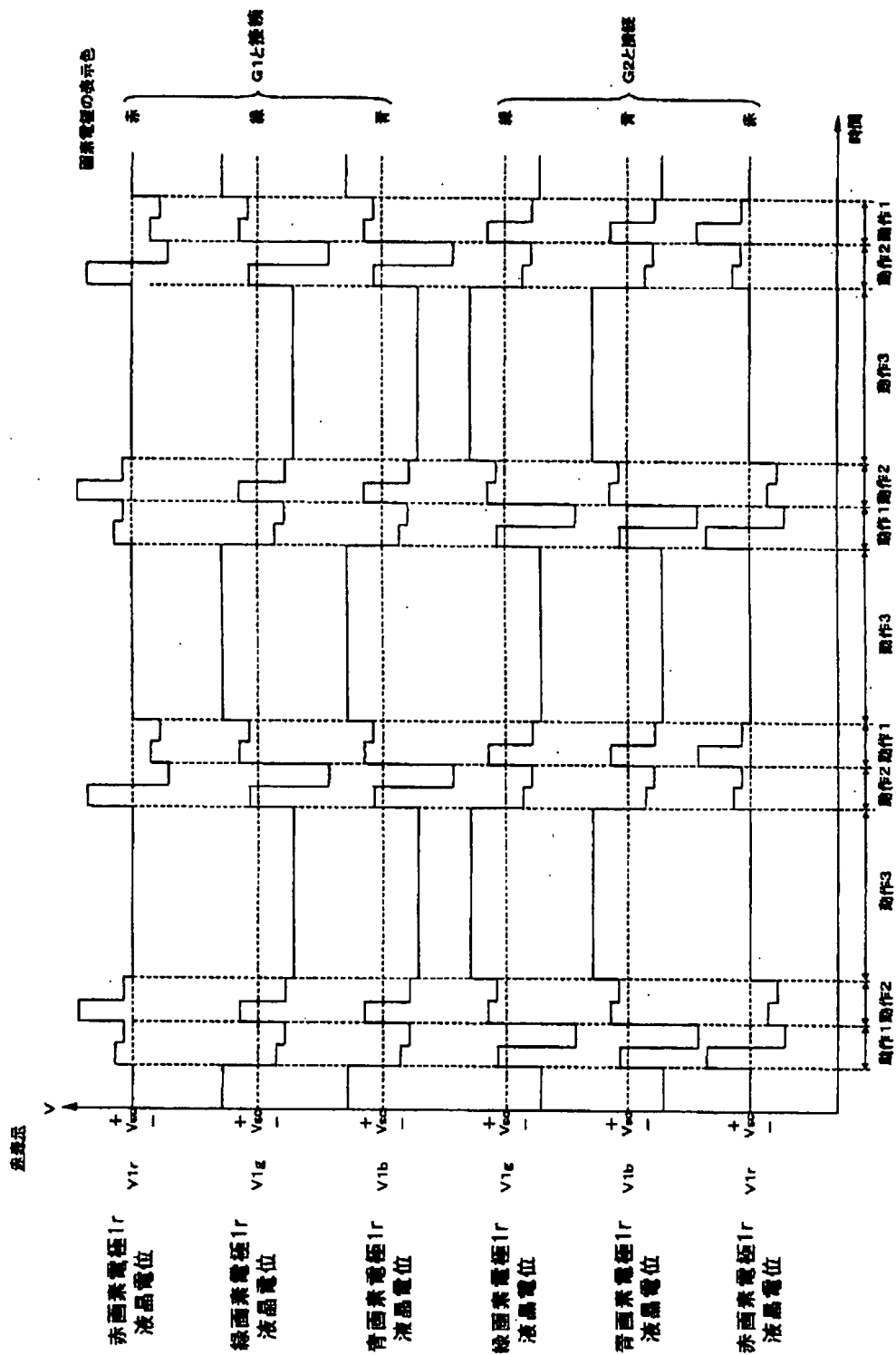


[Drawing 8]

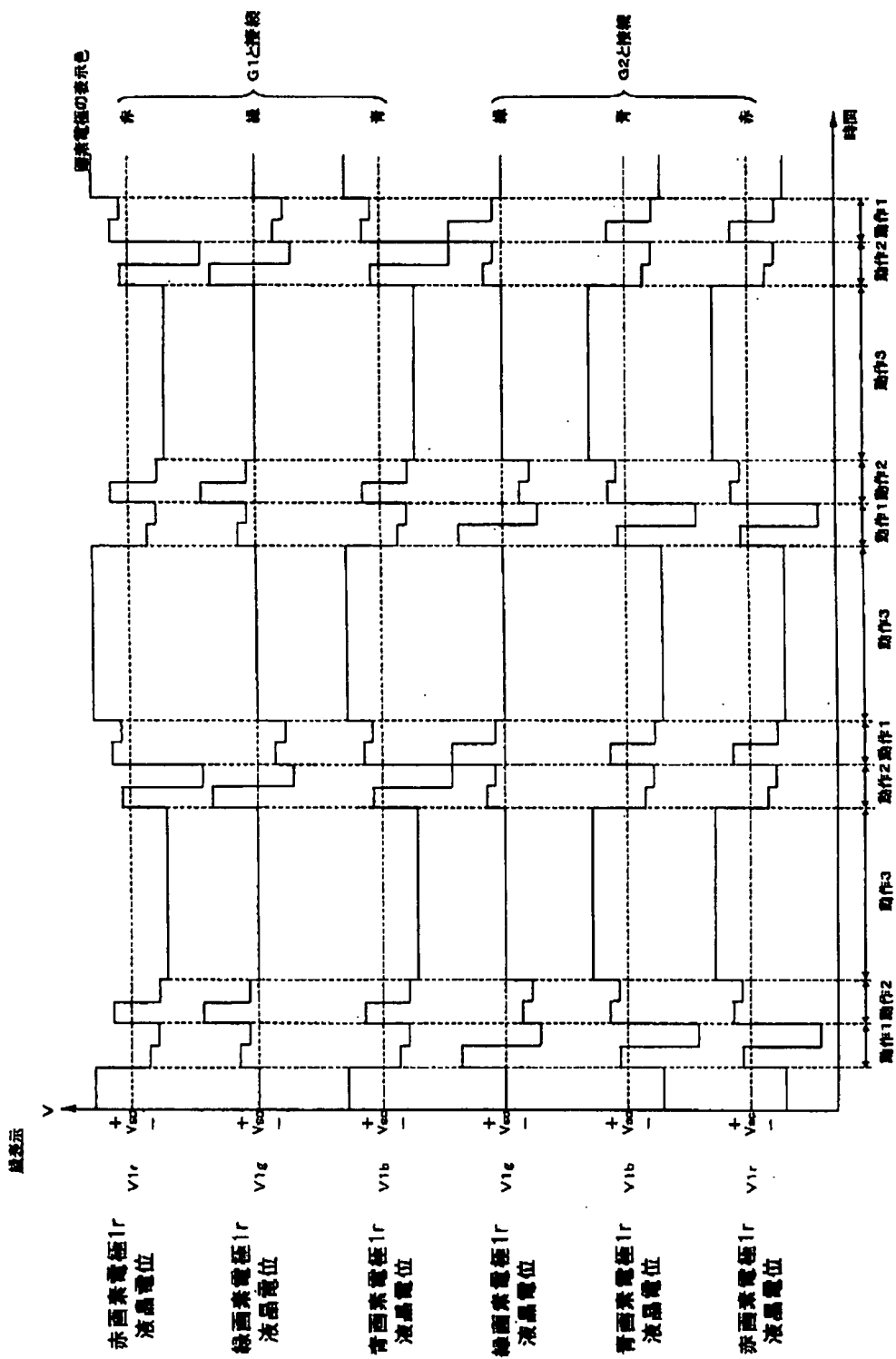


[Drawing 9]





[Drawing 10]

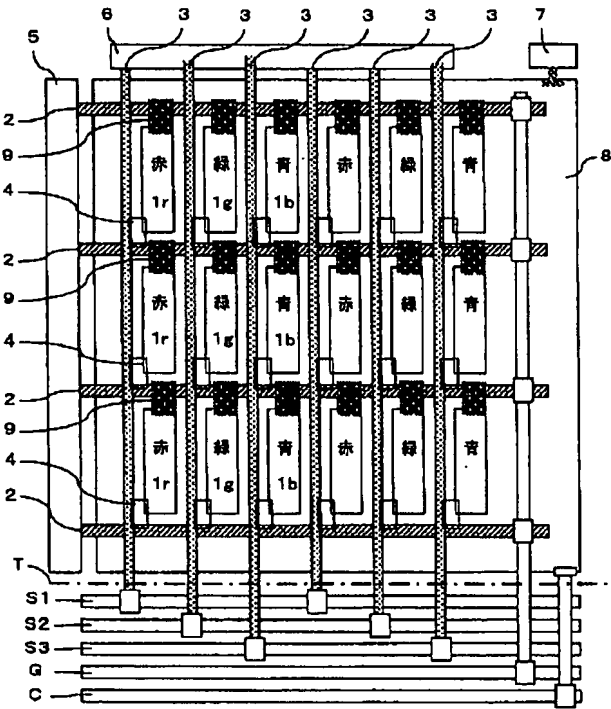


[Drawing 11]



ID=000013

[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-155302

(P2000-155302A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 2 F 1/133	5 5 0	C 0 2 F 1/133	5 5 0 2 H 0 9 3
G 0 9 G 3/36		C 0 9 G 3/36	5 C 0 0 6
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 Z 5 C 0 5 8

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号 特願平10-331818

(22) 出願日 平成10年11月24日 (1998. 11. 24)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 星野 真一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

Fターム (参考) 2H093 NA16 NA42 NA80 NC14 NC23

NC34 NC68 NC90 ND49 ND53

ND56 NEJ7

5C006 AA21 BB16 BC22 BC23 EB01

FA51 GA02

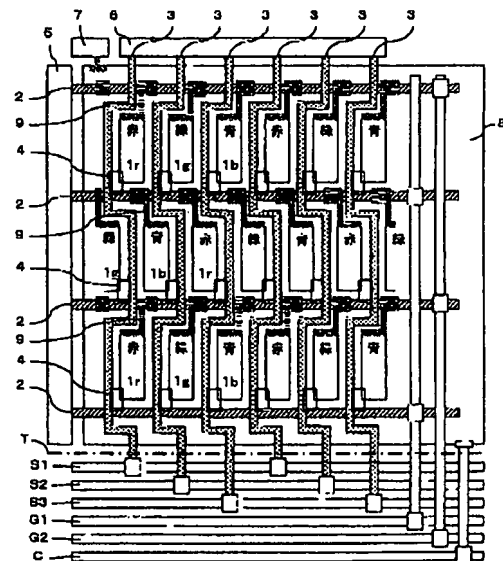
5C058 AA08 AB02 BA01 BA35

(54) 【発明の名称】 液晶表示装置の検査方法およびその検査装置

(57) 【要約】

【課題】 液晶表示装置の検査方法において、画素電極がデルタ配列に配置された場合でも、赤、緑、青の表示を可能とし、かつ各画素構成および前記各配線などのパターンに起因する不良の検査検出力を向上させることを目的とする。

【解決手段】 画素の配列における奇数行の各スイッチング素子4のゲート電位を印加するゲート配線2に接続した第1ゲート側検査配線G1と、偶数行の各スイッチング素子4のゲート電位を印加するゲート配線2に接続した第2ゲート側検査配線G2とを設け、第1ゲート側検査配線G1への駆動電位とソース側検査配線S1～S3への駆動電位とによる表示と、第2ゲート側検査配線G2への駆動電位とソース側検査配線S1～S3への駆動電位とによる表示を行う。この方法により、赤、緑、青の画素電極とがデルタ配列に配置されていても、赤、緑、青の表示が可能となり簡易画像検査を実現でき、不良検出力の高い検査ができる。



- 1…画素電極
- 1r…赤画素電極
- 1g…緑画素電極
- 1b…青画素電極
- 2…ゲート配線
- 3…ソース配線
- 4…スイッチング素子
- 5…ゲート駆動回路
- 6…ソース駆動回路
- 7…対向電極駆動回路
- 8…対向電極
- 9…蓄積容量
- C…対向電極側検査配線
- G1…第1ゲート側検査配線
- G2…第2ゲート側検査配線
- S1, S2, S3…ソース側検査配線
- T…切断部

## 【特許請求の範囲】

【請求項1】 各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査方法であって、

奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線とを設け、

前記第1ゲート側検査配線と第2ゲート側検査配線に印加する駆動電位により、奇数行の画素と偶数行の画素とを分離して駆動させることを特徴とする液晶表示装置の検査方法。

【請求項2】 各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査方法であって、

赤、緑、青の色別の画素を配列した列のソース配線に接続した各色別の3本のソース側検査配線、または列における奇数行の画素の色と偶数行の画素の色との組み合わせが同一なソース配線に接続した3本のソース側検査配線を設け、

奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線とを設け、

前記各画素の画素電極が液晶を挟んで対向するように設けられた対向電極に接続した対向電極側検査配線を設け、

前記第1ゲート側検査配線への印加電位により、ゲートが第1ゲート側検査配線に接続されたスイッチング素子をオフ状態から所定期間オン状態としたのちオフ状態とし、その所定期間中は前記第2ゲート側検査配線より、前記ゲートが第1ゲート側検査配線に接続されているスイッチング素子を介した画素電極の画素電位に、蓄積容量を介して印加する動作を動作1とし、

前記第2ゲート側検査配線への印加電位により、ゲートが第2ゲート側検査配線に接続されたスイッチング素子をオフ状態から所定期間オン状態としたのちオフ状態とし、その所定期間中は前記第1ゲート側検査配線より、前記ゲートが第2ゲート側検査配線に接続されているスイッチング素子を介した画素電極の画素電位に蓄積容量を介して印加する動作を動作2とし、

第1ゲート側検査配線と第2ゲート側検査配線への印加電位により前記スイッチング素子をいずれもオフ状態とする動作を動作3としたとき、

動作1、動作2、動作3、動作2、動作1、動作3の順序にて一連の動作を繰り返して、選択された色に応じて赤、緑、青それぞれの前記ソース側検査配線にデータ信号を印加し、白、黒、赤、緑および青色のカラー単色画面を表示させて検査を行うことを特徴とする液晶表示装置の検査方法。

【請求項3】 第1ゲート側検査配線または第2ゲート側検査配線への印加電位によりスイッチング素子をオン状態とする所定の期間を、

前記スイッチング素子をオフとする電位をVoff、前記スイッチング素子をオンとする電位をVonとしたとき、液晶表示装置内のゲート配線の電位がVoff電位の状態からVon電位を印加して $\{0.9 \times (Von - Voff) + Voff\}$ となる立ち上がり期間と、前記スイッチング素子を介して画素電極にソース配線からデータ信号を書き込むのに必要な期間と、前記ゲート配線の電位がVonの状態からVoff電位を印加して $\{0.9 \times (Voff - Von) + Von\}$ となる立ち下がり期間とを加算した期間以上であり、

かつ液晶表示装置内のゲート配線の電位がVoffの状態からVon電位を印加してVonとなる立ち上がり期間と、前記スイッチング素子を介して画素電極にソース配線からデータを書き込むのに要する期間と、液晶表示装置内のゲート配線の電位がVonの状態からVoff電位を印加してVoffとなる立ち下がり期間とを加算した期間未満とすることを特徴とする請求項1または請求項2に記載の液晶表示装置の検査方法。

【請求項4】 動作1および動作2の期間は、スイッチング素子をオン状態とした前記所定期間の2倍以上の期間とすることを特徴とする請求項1～請求項3のいずれかに記載の液晶表示装置の検査方法。

【請求項5】 第1ゲート側検査配線および第2ゲート側検査配線への印加電位により各スイッチング素子をオフ状態である期間が長短2種類存在し、そのうち長い方の期間を液晶表示装置内の画素が書き込んだ電位を保持できる期間と等しくしたことを特徴とする請求項1～請求項4のいずれかに記載の液晶表示装置の検査方法。

【請求項6】 前記各配線および前記各検査配線の抵抗および容量に応じて、前記2本のゲート側検査配線と前記3本のソース側検査配線から印加する、前記スイッチング素子をオン状態およびオフ状態とする駆動電位と、画素電極に書き込むデータ信号を時間的に遅らせる、または早めるようにしたことを特徴とする請求項1～請求項5のいずれかに記載の液晶表示装置の検査方法。

【請求項7】 各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査装置であって、

赤、緑、青の色別の画素を配列した列のソース配線に接

続した各色別の3本のソース側検査配線、または列における奇数行の画素の色と偶数行の画素の色との組み合わせが同一なソース配線に接続した3本のソース側検査配線を設け、

奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線を設け、

前記各画素の画素電極のすべてが液晶を挟んで対向するように設けられた対向電極に接続した対向電極側検査配線を設け、

検査する色を選択する選択手段を設け、

前記選択手段により選択された色に応じた駆動電位を、前記3本のソース側検査配線、第1、第2ゲート側検査配線、および対向電極側検査配線へ印加する信号発生手段を設けたことを特徴とする液晶表示装置の検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス方式の液晶表示装置の検査方法に関する。

【0002】

【従来の技術】近年、文字や情報を表示する表示装置として、大きさや低消費電力の点から液晶表示装置が注目されている。その中でも応答が早く、動画を鮮明に表示させるために、各画素にTFT（薄膜トランジスタ）に代表されるスイッチング素子を接続したアクティブマトリクス方式の液晶表示装置が注目されている。

【0003】アクティブマトリクス方式の液晶表示装置には、赤、緑、青色を表示する画素電極をデルタ配列に配置したものとストライプ配列に配置したものがある。画素電極をデルタ配列とした液晶表示装置の構成を図13と図14に示す。図13はデルタ配列とした液晶表示装置の平面図、図14(a)は図13に示したA-A'線に沿う断面図、図14(b)は図13に示したB-B'線に沿う断面図である。

【0004】赤を表示させる画素電極1rと緑を表示させる画素電極1gと青を表示させる画素電極1bはデルタ配列に配置されている。すなわち、横方向の奇数行に赤、緑、青の3色の画素電極1が周期的に繰り返して配列され、偶数行には前記奇数行と同じ配列が1.5画素分だけ横方向にずらして配置されている。

【0005】そして、これら画素電極1の間を縫ってゲート配線2とソース配線3が配置されている。上記のようにデルタ配列では、同色の画素電極1はゲート配線2の1配線毎に同列に配置される。ゲート配線2とソース配線3との交点には、前記TFTに代表されるスイッチング素子4が配置されており、ゲート配線2に印加される電位により赤画素電極1r、緑画素電極1g、および青画素電極1bとソース配線3とが電気的に接続または

遮断される。また、画素電極1には画素電極1と対向電極8の電位を保持するための蓄積容量9が1本手前のゲート線2（スイッチング素子4のゲートに電位を印加するゲート配線2に隣接する他のゲート配線）によって接続されている。

【0006】また、このデルタ配列では、1つのソース配線3にはスイッチング素子4を介して、1行毎に異なる2色の画素電極1、すなわち奇数行ごとに同列な画素の画素電極1と偶数行ごとに同列で前記奇数行の列から0.5画素分横方向にずれた画素の画素電極1が接続されている。たとえば赤画素電極1rと緑画素電極1gとが接続されている。緑画素電極1gと青画素電極1b、青画素電極1bと赤画素電極1rについても同様である。

【0007】図13において、5はゲート配線2に駆動電位を印加するゲート駆動回路、6はソース配線3に駆動電位を印加するソース駆動回路、7は対向電極8に駆動電位を印加する対向電極駆動回路であり、ゲート駆動回路5、ソース駆動回路6、および対向電極駆動回路7は画面の外側に配置されている。

【0008】図14に示すように、画素電極1は液晶10を挟んで対向電極8と対向し、画素電極1と対向電極8との電位差により透過光の割合を変化させて文字や情報を表示する。

【0009】また、画素電極をストライプ配列に配置した液晶表示装置の構成および検査配線の構成を図15に示す。図15は完成前の検査の状況を示している。図15に示すように、横方向の行には、赤を表示させる画素電極1rと緑を表示させる画素電極1gと青を表示させる画素電極1bが周期的に繰り返して配列され、縦方向の列には同色の画素電極1が配列されている。

【0010】従来の液晶表示装置の検査方法においては、液晶表示装置を歩留まり良く生産するために、ゲート駆動回路5とソース駆動回路6と対向電極駆動回路7を、それぞれすべてのゲート配線2とソース配線3と対向電極8に接続して電位を印加し、白、黒、赤、緑および青の画面を表示させる不良検出検査を行っていた。

【0011】この不良検出検査では、検査回路とゲート配線2およびソース配線3との接続にはプローブが主に使用されるが、液晶表示装置が小型、高精細になるとプローブの作成が困難もしくは作製不可能となる。

【0012】画素電極1がストライプ配列に配置された液晶表示装置では、これらの不都合を解消するために、図15に示すように全てのゲート配線2に接続されたゲート側検査配線Gと、赤に対応するソース配線3のすべてに接続したソース側検査配線S1と、緑に対応するソース配線3のすべてに接続したソース側検査配線S2と、青に対応するソース配線3のすべてに接続したソース側検査配線S3と、対向電極8に接続した対向電極側検査配線Cとによる合計5本の検査配線を設け、前記各

検査配線と前記検査回路とを接続して検査した後、前記検査配線を切断部Tで切断するようにした簡易検査構成が採用されている。

【0013】

【発明が解決しようとする課題】しかし、このような従来の液晶表示装置の検査方法では、スイッチング素子4を常に導通状態で検査する必要があり、スイッチング素子4の開閉に起因する不良、およびスイッチング素子4の特性的不良に起因する不良を検出できないという問題があった。

【0014】さらに、画素電極1がデルタ配列に配置された液晶表示装置においては、1つのソース配線3に2色の画素電極1が接続されているため、赤、緑、青を単色で表示できず、検査検出力が低下するという問題があった。

【0015】本発明は、このような液晶表示装置の検査方法において、プローブを使用しなくても不良検査でき、しかも画素電極がデルタ配列に配置された場合でも、赤、緑、青の表示を可能とし、かつ各画素構成および前記各配線などのパターンに起因する不良の検査検出力を向上させることを目的とする。

【0016】また、画素電極がストライプ配列に配置された場合においても、スイッチング素子に起因する不良、およびスイッチング素子の特性的不良に起因する不良、および画素電位の保持特性のバラツキによる不良、かつ各画素構成および前記各配線のパターンに起因する不良の検査検出力を向上させることを目的とする。

【0017】

【課題を解決するための手段】本発明の液晶表示装置の検査方法においては、各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査方法であって、奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線とを設け、前記第1ゲート側検査配線と第2ゲート側検査配線に印加する駆動電位により、奇数行の画素と偶数行の画素とを分離して駆動させることを特徴としたものである。

【0018】この本発明によれば、プローブを使用しなくても不良検査でき、しかも画素電極がデルタ配列に配置された場合でも、赤、緑、青の表示を可能とし、かつ各画素構成および前記各配線などのパターンに起因する不良の検査検出力を向上させる液晶表示装置の検査方法が得られる。

【0019】

【発明の実施の形態】本発明の請求項1に記載の発明は、各画素の画素電極の画素電位を保持するための蓄積

容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査方法であって、奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線とを設け、前記第1ゲート側検査配線と第2ゲート側検査配線に印加する駆動電位により、奇数行の画素と偶数行の画素とを分離して駆動させることを特徴としたものであり、蓄積容量の付加構成が隣接するゲート線に蓄積容量を接続している液晶表示装置において、赤画素電極と緑画素電極と青画素電極とがデルタ配列に配置され、スイッチング素子を介して1つのソース配線に2色の画素電極が接続されていても、画素電極がストライプ配列に配置されている液晶表示装置と同様に、簡易画像検査を実現できるという作用を有する。

【0020】請求項2に記載の発明は、各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査方法であって、赤、緑、青の色の画素を配列した列のソース配線に接続した各色別の3本のソース側検査配線、または列における奇数行の画素の色と偶数行の画素の色との組み合わせが同一なソース配線に接続した3本のソース側検査配線を設け、奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線とを設け、前記各画素の画素電極が液晶を挟んで対向するように設けられた対向電極に接続した対向電極側検査配線を設け、前記第1ゲート側検査配線への印加電位により、ゲートが第1ゲート側検査配線に接続されたスイッチング素子をオフ状態から所定期間オン状態としたのちオフ状態とし、その所定期間中は前記第2ゲート側検査配線より、前記ゲートが第1ゲート側検査配線に接続されているスイッチング素子を介した画素電極の画素電位に、蓄積容量を介して印加する動作を動作1とし、前記第2ゲート側検査配線への印加電位により、ゲートが第2ゲート側検査配線に接続されたスイッチング素子をオフ状態から所定期間オン状態としたのちオフ状態とし、その所定期間中は前記第1ゲート側検査配線より、前記ゲートが第2ゲート側検査配線に接続されているスイッチング素子を介した画素電極の画素電位に蓄積容量を介して印加する動作を動作2とし、第1ゲート側検査配線と第2ゲート側検査配線への印加電位により前記スイッチング素子をいずれもオフ状態とする動作を動作3としたとき、動作1、動作2、動作3、動作2、動作1、動作3の順序にて一連の動作を繰り返して、選択された色



に応じて赤、緑、青それぞれの前記ソース側検査配線にデータ信号を印加し、白、黒、赤、緑および青色のカラー単色画面を表示させて検査を行うことを特徴としたものであり、画素電極と対向電極の電位を保持する蓄積容量が隣接するゲート線に接続されている液晶表示装置において、赤画素電極と緑画素電極と青画素電極とがデルタ配列に配置され、スイッチング素子を介して1つのソース配線に2色の画素電極が接続されていても、液晶表示装置の完了前の検査にて簡易画像検査することが可能で、液晶駆動回路形成時の駆動画面と比較して液晶表示装置の不良視認の相関性が高いという作用を有し、またソース、ゲート配線が各検査配線と短絡していることにより、静電気によるスイッチング素子の破壊、スイッチング特性不良を防止できるという作用を有する。

【0021】請求項3に記載の発明は、上記請求項1または請求項2に記載の発明であって、第1ゲート側検査配線または第2ゲート側検査配線への印加電位によりスイッチング素子をオン状態とする所定の期間を、前記スイッチング素子をオフとする電位を $V_{off}$ 、前記スイッチング素子をオンとする電位を $V_{on}$ としたとき、液晶表示装置内のゲート配線の電位が $V_{off}$ 電位の状態から $V_{on}$ 電位を印加して $\{0.9 \times (V_{on} - V_{off}) + V_{off}\}$ となる立ち上がり期間と、前記スイッチング素子を介して画素電極にソース配線からデータ信号を書き込むのに必要な期間と、前記ゲート配線の電位が $V_{on}$ の状態から $V_{off}$ 電位を印加して $\{0.9 \times (V_{off} - V_{on}) + V_{on}\}$ となる立ち下がり期間とを加算した期間以上であり、かつ液晶表示装置内のゲート配線の電位が $V_{off}$ の状態から $V_{on}$ 電位を印加して $V_{on}$ となる立ち上がり期間と、前記スイッチング素子を介して画素電極にソース配線からデータを書き込むのに要する期間と、液晶表示装置内のゲート配線の電位が $V_{on}$ の状態から $V_{off}$ 電位を印加して $V_{off}$ となる立ち下がり期間とを加算した期間未満とすることを特徴としたものであり、液晶表示装置の完了前の検査で、液晶駆動回路形成時の駆動画面と比較して液晶表示装置の不良視認の相関性、一致性が高められるという作用を有する。

【0022】請求項4に記載の発明は、請求項1～請求項3のいずれかに記載の発明であって、動作1および動作2の期間は、スイッチング素子をオン状態とした前記所定期間の2倍以上の期間とすることを特徴としたものであり、スイッチング素子のゲート電位をオフとし切らない間にソース配線の駆動電位の切り替わり時の電位が画素に書き込まれる恐れが回避され、ソース配線からのデータ信号を前記画素電極に書き込む動作が適切かつ確実に行われるという作用を有する。

【0023】請求項5に記載の発明は、請求項1～請求項4のいずれかに記載の発明であって、第1ゲート側検査配線および第2ゲート側検査配線への印加電位により

各スイッチング素子をオフ状態である期間が長短2種類存在し、そのうち長い方の期間を液晶表示装置内の画素が書き込んだ電位を保持できる期間と等しくしたことを特徴としたものであり、液晶表示装置の完了前の検査で、画素電位の保持特性のバラツキによる点欠陥が認識可能となり、液晶駆動回路形成時の駆動画面と比較して液晶表示装置の不良視認の相関性、一致性が高められるという作用を有する。

【0024】請求項6に記載の発明は、請求項1～請求項5のいずれかに記載の発明であって、前記各配線および前記各検査配線の抵抗および容量に応じて、前記2本のゲート側検査配線と前記3本のソース側検査配線から印加する、前記スイッチング素子をオン状態およびオフ状態とする駆動電位と、画素電極に書き込むデータ信号を時間的に遅らせる、または早めるようにしたことを特徴としたものであり、液晶表示装置の完了前の検査で、ソース配線からのデータ信号をスイッチング素子を通して画素電極に書き込むとき、前記スイッチング素子のゲートしきい値に対してマージンを保たせて、ソース配線からのデータ信号を前記画素電極に書き込む動作を適切かつ確実に行うことができるという作用を有する。

【0025】請求項7に記載の発明の液晶表示装置の検査装置は、各画素の画素電極の画素電位を保持するための蓄積容量が、前記画素のスイッチング素子のゲートに電位を印加するゲート配線に隣接する他のゲート配線に接続されたアクティブマトリクス方式の液晶表示装置の検査装置であって、赤、緑、青の色の画素を配列した列のソース配線に接続した各色別の3本のソース側検査配線、または列における奇数行の画素の色と偶数行の画素の色との組み合わせが同一なソース配線に接続した3本のソース側検査配線を設け、奇数行の各画素のスイッチング素子のゲートに電位を印加するゲート配線に接続した第1ゲート側検査配線と、偶数行の前記スイッチング素子のゲートに電位を印加するゲート配線に接続した第2ゲート側検査配線を設け、前記各画素の画素電極のすべてが液晶を挟んで対向するように設けられた対向電極に接続した対向電極側検査配線を設け、検査する色を選択する選択手段を設け、前記選択手段により選択された色に応じた駆動電位を、前記3本のソース側検査配線、第1、第2ゲート側検査配線、および対向電極側検査配線へ印加する信号発生手段を設けたことを特徴とするものであり、赤画素電極と緑画素電極と青画素電極とがデルタ配列に配置され、前記スイッチング素子を介して1つのソース配線に2色の画素電極が接続されていても、画素電極がストライプ配列に配置されている液晶表示装置と同様に、簡易画像検査を実現でき、また画素電極の配置がデルタ配列であるかストライプ配列であるかに関係なく、液晶駆動回路形成時の実際の駆動画面との相関性を高めた検査をすることができるという作用を有する。

【0026】以下、本発明の実施の形態における液晶表示装置の検査方法およびその装置を図面に基いて説明する。なお、従来例の図13～図15に示した構成要素と同一の構成要素には同一の番号を付して詳細な説明を省略する。

【0027】図1は本実施の形態における液晶表示装置の検査方法を使用する液晶表示装置および検査配線を示す平面図であり、画素電極1と対向電極8間の電位を保持するための蓄積容量9が1本手前のゲート線2によって接続されている。

【0028】本実施の形態における液晶表示装置および検査配線と、従来例の構成と異なる点は、ゲート配線2に係わる検査配線を第1ゲート側検査配線G1と第2ゲート側検査配線の2本とし、計6本の検査配線を設けたことにある。

【0029】図1に示すように、液晶表示装置の検査装置として、ソース側検査配線S1、ソース側検査配線S2、ソース側検査配線S3、第1ゲート側検査配線G1、第2ゲート側検査配線G2、および対向電極側検査配線Cの計6本の検査配線が液晶表示装置の表示範囲の外部に引き出して画素電極1が形成されたガラス基板の上に形成されている。第1ゲート側検査配線G1は、ゲート配線2に沿って配列された第1行目、第3行目、第5行目…のように奇数行のすべてのゲート配線2に接続され、一方、第2ゲート側検査配線G2は、ゲート配線2に沿って配列された第2行目、第4行目、第6行目…のように偶数行のすべてのゲート配線2に接続されている。

【0030】ソース側検査配線S1は、ソース配線3のうちの赤画素電極1rと緑画素電極1gがスイッチング素子4を介して接続されているソース配線3のすべてに接続されている。ソース側検査配線S2は、ソース配線3のうちの緑画素電極1gと青画素電極1bとがスイッチング素子4を介して接続されているソース配線3のすべてに接続されている。ソース側検査配線S3は、ソース配線3のうちの青画素電極1bと赤画素電極1rとがスイッチング素子4を介して接続されているソース配線3のすべてに接続されている。また、対向電極側検査配線Cは対向電極8に接続されている。

【0031】図12に、上記検査配線がガラス基板の上に形成された液晶表示装置の検査配線G1、G2、S1、S2、S3、Cへ検査用の駆動電位を印加する検査装置の構成図を示す。

【0032】液晶表示装置の検査装置11は、上記検査配線G1、G2、S1、S2、S3、Cへ検査用の駆動電位を出力する信号発生手段12と、液晶表示装置に表示させる色、すなわち白、黒、赤、緑および青を選択する選択スイッチ（選択手段の一例）13と、信号発生手段12と上記検査配線G1、G2、S1、S2、S3、C間を電気的に接続する配線ケーブル14から構成さ

れ、この検査装置11より、検査員がスイッチ13により選択した色に応じた前記駆動電位が配線ケーブル14を介して上記検査配線G1、G2、S1、S2、S3、Cへ印加される。

【0033】この検査装置11において、白、黒、赤、緑および青を表示させる検査方法における動作について図面を参照しながら説明する。図2は白表示、図3は黒表示、図4は赤表示、図5は緑表示、図6は青表示の検査における、上記検査装置11より出力される駆動信号の駆動電位を示す波形図である。図7～図11は、図2～図6に示した検査のための駆動電位を印加した場合の液晶電位の波形図である。図7は白表示、図8は黒表示、図9は赤表示、図10は緑表示、図11は青表示の時の関係を示している。

【0034】図2～図6において、第1ゲート側検査配線G1、第2ゲート側検査配線G2、ソース側検査配線S1、S2、S3、対向電極側検査配線Cに印加される駆動電位をそれぞれVg1、Vg2、Vs1、Vs2、Vs3、Vcとしている。また、各スイッチング素子4を電気的に開閉させるに十分な駆動電位をVon電位とVoff電位とする。さらに、1本手前のゲート配線2に蓄積容量9を介して、スイッチング素子4がオン状態で画素電極1が所定の電位に到達してから、オフ状態に移る際、スイッチング素子4のゲート・ドレイン間に存在する寄生容量により、画素電極1の画素電位に生じる画素電極1の画素電位変動分をキャンセルし、かつ同時に画素電極1の画素電位のレベルを制御して、液晶を駆動させる駆動電位を制御する駆動電位を、Ve+電位、Ve-電位とする。また、駆動電位Vs1、Vs2、Vs3における方形波のセンター電位をVsc電位とし、駆動電位VcにおけるDC波レベル値をVcc電位とする。なお、Vsc電位とVcc電位は同一の電位とする。

【0035】また図7～図11において、第1ゲート側検査配線G1に接続された奇数行の赤画素電極1r、緑画素電極1g、青画素電極1bのそれぞれの液晶電位をV1r、V1g、V1bとし、第2ゲート側検査配線G2に接続された偶数行の緑画素電極1g、青画素電極1b、赤画素電極1rのそれぞれの液晶電位をV1g、V1b、V1rとしている。

【0036】図2～図6における「動作1」「動作2」「動作3」のゲート側検査配線G1、G2の駆動電位Vg1、Vg2の状態について説明する。

<動作1>第1ゲート側検査配線G1の駆動電位Vg1が、Voff電位もしくはVe+電位もしくはVe-電位の状態から、Von電位を1度印加させたのち、Ve+電位もしくはVe-電位を印加し、その期間中は第2ゲート側検査配線G2にはVe+電位もしくはVe-電位が印加されている状態とする。

【0037】この動作1により、第1ゲート側検査配線

G1への印加電位により、ゲートが第1ゲート側検査配線G1に接続されているスイッチング素子4はオフ状態から所定期間オン状態となったのちオフ状態となる。

【0038】その所定期間中、第2ゲート側検査配線G2への印加電位により、前記スイッチング素子4がオフ状態で、かつスイッチング素子4がオン状態で画素電極1が所定の電位に到達してから、オフ状態に移移する際、スイッチング素子4のゲート・ドレイン間に存在する寄生容量により、画素電極1の画素電位に生じる画素電極の画素電位変動分をキャンセルし、かつ同時に画素電極の画素電位のレベルを制御して液晶10を駆動させる駆動電位を制御する電位を、ゲートが第1ゲート側検査配線G1に接続されているスイッチング素子4を介した画素電極1の画素電位に蓄積容量9を介して印加する。

<動作2>第2ゲート側検査配線G2の駆動電位 $V_{g2}$ が、 $V_{off}$ 電位もしくは $V_e$ +電位もしくは $V_e$ -電位の状態から、 $V_{on}$ 電位を1度印加させたのち、 $V_e$ +電位もしくは $V_e$ -電位を印加し、この期間中は第1ゲート側検査配線G1には $V_e$ +もしくは $V_e$ -電位が印加されている状態とする。

【0039】この動作2により、第2ゲート側検査配線G2への印加電位により、ゲートが第2ゲート側検査配線G2に接続されているスイッチング素子4はオフ状態から所定期間オン状態となったのちオフ状態となる。

【0040】その所定期間中、第1ゲート側検査配線G1への印加電位により、前記スイッチング素子4がオフ状態でかつ、スイッチング素子4がオン状態で画素電極が所定の電位に到達してから、オフ状態に移移する際、スイッチング素子4のゲート・ドレイン間に存在する寄生容量により、画素電極の画素電位に生じる画素電極の画素電位変動分をキャンセルし、かつ同時に画素電極の画素電位のレベルを制御して液晶10を駆動させる駆動電位を制御する電位を、ゲートが第2ゲート側検査配線に接続されているスイッチング素子4を介した画素電極の画素電位に蓄積容量9を介して印加する。

<動作3>第1ゲート側検査配線G1と第2ゲート側検査配線G2のいずれにも $V_{off}$ 電位が印加されている状態とする。

【0041】なお動作1および動作2の周期を $\tau_a$ 、駆動電位 $V_{g1}$ および駆動電位 $V_{g2}$ における $V_{on}$ の間を $\tau_b$ とする。この液晶表示装置は、画素電極1と対向電極8との間の電位差が小さい時に赤、緑、青を表示し、電位差が大きいときに黒を表示するものであり、液晶10はスイッチング素子4が遮断されてからつぎに導電されるまでの間は、蓄積容量9により画素電極1と対向電極8との電位差を維持するものとする。

【0042】上記動作1、動作2、動作3、動作2、動作1、動作3の順序にて一連の動作を繰り返し、選択スイッチ13により選択される色に応じて、赤、緑、青そ

れぞれのソース側検査配線S1、S2、S3に図2～図6に示すデータ信号 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ を印加する。これにより、白、黒、赤、緑および青色のカラー単色画面が表示される。

【0043】この表示されたカラー単色画面により検査員は液晶表示装置の検査を行う。検査完了後は図1に示す一点鎖線で示した切断部Tに沿ってレーザー光を照射して配線パターンの一部を溶断し、前記各ソース側検査配線S1、S2、S3とそれぞれに接続されたすべての前記ソース配線3との接続、第1ゲート側検査配線G1および第2ゲート側検査配線G2とそれぞれに接続されたすべての前記ゲート配線2との接続、および対向電極側検査配線Cと前記対向電極8との接続を切断し、ゲート駆動回路5、ソース駆動回路6、対向電極駆動回路7を形成して製品に仕上げられる。なお、前記各検査配線とソース配線3、ゲート配線2、対向電極8の間の電気接続を切断するまでは、短絡による電荷分散効果により、静電気によるスイッチング素子4の破壊、およびスイッチング特性不良の防止効果が期待できる。

【0044】このように、ゲート配線2に接続される検査配線を第1ゲート側検査配線G1と第2ゲート側検査配線G2の2本とし、第1ゲート側検査配線G1と第2ゲート側検査配線G2に印加する $V_{on}$ 電位を所定のタイミングで切り替えて印加することにより、白、黒、赤、緑、青の表示が可能であり、簡易検査を実現することができる。

【0045】また、奇数行のゲート配線2と偶数行のゲート配線2とを区別して接続する構成とし、各画素電極1の蓄積容量9が1本手前のゲート配線2に接続された場合、ソース配線3より各画素電極1へデータ信号を書き込む時の画素電極1と対向電極8との間の電位状態を考慮した第1ゲート側検査配線G1と第2ゲート側検査配線G2に印加する $V_{on}$ 電位のタイミングにより、第1ゲート側検査配線G1に接続されたゲート配線2のラインの画素群と、第2ゲート側検査配線G2に接続されたゲート配線2のライン画素群との輝度差、すなわちゲート奇数行の画素電位とゲート偶数行の画素電位におけるフィードスルー電位差を解消するのに役立てることができる。フィードスルー電位差とは、ゲートパルスがオンの時に液晶容量および蓄積容量9に充電された電荷が、スイッチング素子4のソースとゲートとの間の寄生容量の影響でゲートパルスがオフになった瞬間にそれぞれの容量に再分配されることにより発生する電位差を言う。これによりフリッカ、すなわち画面のばたつきを抑えられ、垂直周期（フィールド周期）、すなわち、ある画素にデータが書き込まれてから次に書き込まれるまでの期間を24Hz以上においてフリッカのない画面表示を可能としている。

【0046】なお、本実施の形態では動作上、図2～図6からわかるように、長短2種類の垂直周期が存在する

が、上記24Hz以上とは長い方の垂直周期を指すものとしている。

【0047】また、従来画素電極1と対向電極8との間に存在する液晶10の駆動電圧を各ソース側検査配線S1、S2、S3を介してソース配線3より印加される駆動電位 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ の2分の1振幅値ではなく、各ゲート側検査配線G1、G2を介してゲート配線2に印可される駆動電位 $V_{g1}$ 、 $V_{g2}$ の蓄積容量9を介して画素電極1の電位を対向電極の電位に対してより電位差を生じさせる、もしくは電位差をなくすといった $V_{e+}$ 、 $V_{e-}$ 電位によって、画素電極1と対向電極8との間に存在する液晶10の駆動電圧を稼いでいるため、ソース電位の振幅値のみ、またはソース電位の振幅値と対向電極電位の振幅値によって液晶の駆動電圧を稼ぐ駆動のときと比較して、液晶表示装置に輝点の点欠陥不良があった場合、より前記輝点の点欠陥不良を視認性の面で際立たせる効果が生まれる。

【0048】例を挙げれば、ソース電位の振幅値のみ、またはソース電位の振幅値と対向電極電位の振幅値によって液晶の駆動電圧を稼ぐ駆動による黒表示画面では、微妙な中間調な輝点でしか見えないが、本発明の駆動による黒表示画面では、完全な輝点と視認することができ、検査見逃しによる生産ロス低減を図ることができる。

【0049】さらに、ゲート配線2に接続される第1ゲート側検査配線G1と第2ゲート側検査配線G2の両方に $V_{off}$ 電位が印加される期間、すなわち動作3の期間を、液晶表示装置に液晶駆動回路を形成したときの実際の駆動における画素電極1と対向電極8との間の電位差を維持する期間と等しくする。この場合、本発明の検査方法では上記のように長短2種類の垂直周期が存在するため、長い方の $V_{off}$ 電位の期間を、液晶表示装置に液晶駆動回路を形成したときの実際の駆動における画素電極1と対向電極8との間の電位差を維持する期間と等しくする。

【0050】その理由は本実施の形態の検査方法による検査は液晶表示装置製造過程における中間検査とする位置づけであるため、画素電位の保持特性に起因する不良の過剰検査を避けるためである。これにより画素電位の保持特性ばらつきによる点欠陥が認識可能となる。なお、保持特性は、スイッチング素子のオフ電流、画素容量および液晶抵抗を通じてのリーク電流などに依存する。

【0051】またスイッチング素子4を第1ゲート側検査配線G1または第2ゲート側検査配線G2への印加電位によりオンとする期間 $\tau_b$ は、液晶表示装置内におけるゲート配線2の電位が $V_{off}$ 電位の状態から第ゲート側検査配線G1または第2ゲート側検査配線G2に $V_{on}$ 電位を印加してゲート配線2の電位が $\{0.9 \times (V_{on} - V_{off}) + V_{off}\}$ となる時の立ち上がり

り期間と、スイッチング素子4を通して画素電極1にソース配線3からのデータ信号を書き込むのに必要な期間と、液晶表示装置内のゲート配線2の電位が $V_{on}$ 電位の状態から第1ゲート側検査配線G1または第2ゲート側検査配線G2に $V_{off}$ 電位を印加してゲート配線2の電位が $\{0.9 \times (V_{off} - V_{on}) + V_{on}\}$ となる時の立ち下がり期間とを加算した期間以上であり、かつ液晶表示装置内のゲート配線2の電位が $V_{off}$ 電位の状態から第1ゲート側検査配線G1、第2ゲート側検査配線G2に $V_{on}$ 電位を印加してゲート配線2の電位が $V_{on}$ 電位となるときに立ち上がり期間と、上記スイッチング素子4を通して画素電極1にソース配線3からのデータ信号を書き込むのに必要な期間と、液晶表示装置内のゲート配線2の電位が $V_{on}$ 電位の状態から第1ゲート側検査配線G1または第2ゲート側検査配線G2に $V_{off}$ 電位を印加してゲート配線2の電位が $V_{off}$ となるときに立ち下がり期間とを加算した期間未満とする。

【0052】ゲート配線2に印加される駆動電位 $V_{g1}$ および駆動電位 $V_{g2}$ は、第1ゲート側検査配線G1および第2ゲート側検査配線G2とゲート配線2が有する抵抗および容量により遅延を生じる。スイッチング素子4をオンとする時間が長過ぎると、 $V_{on}$ 電位から $V_{off}$ 電位へ変化させる波形に遅延が生じることにより、スイッチング素子4を所定のタイミングで遮断できなくなり、スイッチング素子4に起因する不良が検出できない恐れがある。上記期間 $\tau_b$ の設定によりスイッチング素子4のスイッチング特性のバラツキによる点欠陥、特に輝点に対して液晶駆動回路形成時の駆動画面との相関性、つまり輝点の視認性が一致することになる。

【0053】動作1および動作2の動作期間にあたる期間 $\tau_a$ は、 $V_{on}$ 電位を印加する期間 $\tau_b$ の2倍以上にする必要がある。前述のようにゲート配線2に印加される駆動電位 $V_{g1}$ および駆動電位 $V_{g2}$ は、第1ゲート側検査配線G1、第2ゲート側検査配線G2およびゲート配線2が持つ抵抗および容量により遅延を生じる。そのため、スイッチング素子4のゲート電位をオフとし切らない間にソース配線3の駆動電位 $V_{s1} \sim V_{s3}$ の切り替わり時の電位が画素に書き込まれる恐れがある。そのため動作期間 $\tau_a$ は $V_{on}$ 電位を印加する期間 $\tau_b$ の2倍以上にして十分な時間を確保する必要がある。

【0054】また、各配線および各検査配線の抵抗および容量に応じて、2本のゲート側検査配線G1、G2と3本のソース側検査配線S1、S2、S3から印加する、スイッチング素子4をオン状態およびオフ状態とする駆動電位 $V_{g1}$ 、 $V_{g2}$ と、画素電極1に書き込むデータ信号（駆動電位 $V_{s1} \sim V_{s3}$ ）を時間的に遅らせる、または早めるようにしている。その理由は、液晶表示装置の完了前の検査で、ソース配線3からのデータ信号をスイッチング素子4を通して画素電極1に書き込む

とき、スイッチング素子4のゲートしきい値に対してマージンを保たせて、ソース配線3からのデータ信号を画素電極1に書き込む動作を適切かつ確実にに行わせるためである。

【0055】また、第1ゲート側検査配線G1と第2ゲート側検査配線G2のように2本設けた場合、第1ゲート側検査配線G1に接続される奇数行のゲート配線2の駆動電位Vg1の振幅と、第2ゲート側検査配線G2に接続される偶数行のゲート配線2に印加される駆動電位Vg2の振幅とを同一にし、ゲート配線2に接続された同色の各画素の画素電極1における液晶電圧を奇数行と偶数行とに係わらず同一にする必要がある。そのため、各ゲート配線2は第1ゲート側検査配線G1または第2ゲート側検査配線G2のどちらかに接続するとともに、他方の第2ゲート側検査配線G2または第1ゲート側検査配線G1とは配線パターン上で交差する構造とし、2本の第1ゲート側検査配線G1と第2ゲート側検査配線G2に生じる抵抗、容量を同一にさせるようにしている。

【0056】なお、本実施の形態では、画素電極1がデルタ配列に配置された液晶表示装置を例に挙げて説明したが、画素電極1をストライプ配列に配置した液晶表示装置に対しても有効であって、ゲート配線2に接続される検査配線を2本にし、その2本のゲート側検査配線G1と第2ゲート側検査配線G2に印加するVon電位を本実施の形態で説明したようなタイミングにて印加し、ソース側検査配線S1、S2、S3に白、黒、赤、緑、青を表示させるようなデータ信号の電位を印加して画像検査することにより、スイッチング素子4の開閉に起因する不良、スイッチング素子4の特性的不良に起因する不良、および画素電位の保持特性のばらつきによる不良を検出することができ、かつ点欠陥の不良視認性が向上しており、検査見逃しによる生産ロス低減を図ることができる。

【0057】

【発明の効果】以上のように本発明によれば、蓄積容量の付加構成が1本手前のゲート線に蓄積容量を接続してある液晶表示装置において、赤画素電極と緑画素電極と青画素電極とがデルタ配列に配置され、前記スイッチング素子を介して1つのソース配線に2色の画素電極が接続されていても、画素電極がストライプ配列に配置されている液晶表示装置と同様に、簡易画像検査を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態における液晶表示装置の検査方法を実現する液晶表示装置および検査配線の構成を示す平面図である。

【図2】同液晶表示装置における白表示の場合の駆動電位を示す波形図である。

【図3】同液晶表示装置における黒表示の場合の駆動電

位を示す波形図である。

【図4】同液晶表示装置における赤表示の場合の駆動電位を示す波形図である。

【図5】同液晶表示装置における緑表示の場合の駆動電位を示す波形図である。

【図6】同液晶表示装置における青表示の場合の駆動電位を示す波形図である。

【図7】同液晶表示装置における白表示の場合の画素ごとの液晶電位を示す波形図である。

【図8】同液晶表示装置における黒表示の場合の画素ごとの液晶電位を示す波形図である。

【図9】同液晶表示装置における赤表示の場合の画素ごとの液晶電位を示す波形図である。

【図10】同液晶表示装置における緑表示の場合の画素ごとの液晶電位を示す波形図である。

【図11】同液晶表示装置における青表示の場合の画素ごとの液晶電位を示す波形図である。

【図12】同液晶表示装置へ駆動電荷を印加する装置の構成図である。

【図13】画素電極がデルタ配列に配置された従来の液晶表示装置の構成を示す平面図である。

【図14】同従来の液晶表示装置の構成を示す断面図である。

【図15】画素電極がストライプ配列に配置された従来の液晶表示装置および検査配線の構成を示す平面図である。

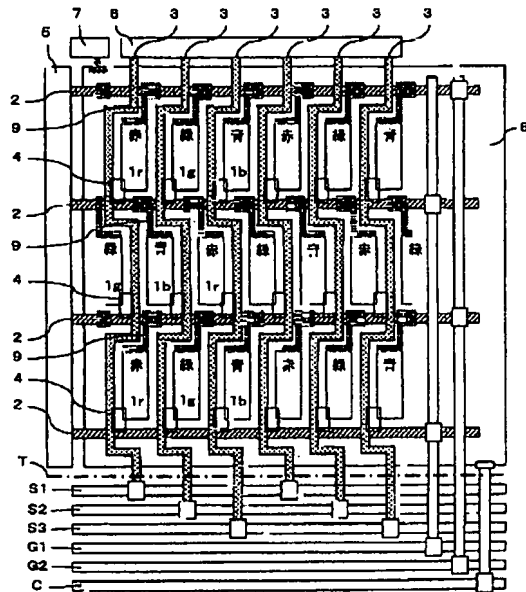
【符号の説明】

- 1 画素電極
- 1r 赤画素電極
- 1g 緑画素電極
- 1b 青画素電極
- 2 ゲート配線
- 3 ソース配線
- 4 スwitchング素子
- 5 ゲート駆動回路
- 6 ソース駆動回路
- 7 対向電極駆動回路
- 8 対向電極
- 9 蓄積容量
- 10 液晶
- 11 検査装置
- 12 信号発生手段
- 13 選択スイッチ
- 14 配線ケーブル
- C 対向電極側検査配線
- G ゲート側検査配線
- G1 第1ゲート側検査配線
- G2 第2ゲート側検査配線
- S1, S2, S3 ソース側検査配線
- T 切断部

Vg1, Vg2, Vs1, Vs2, Vs3, Vc 駆動  
電位  
V1r, V1g, V1b 液晶電位

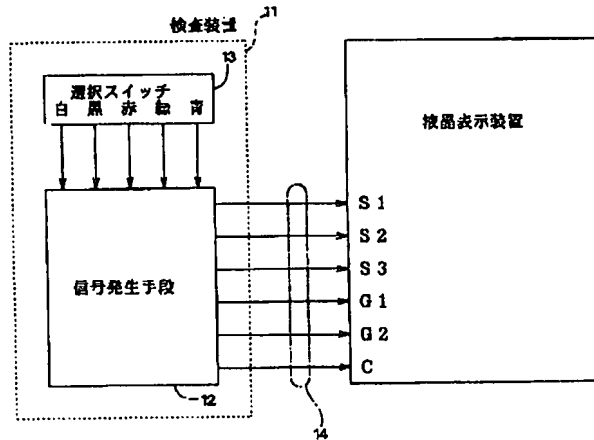
$\tau a$  動作1の期間  
 $\tau b$  スイッチング素子をオンとする期間

【図1】

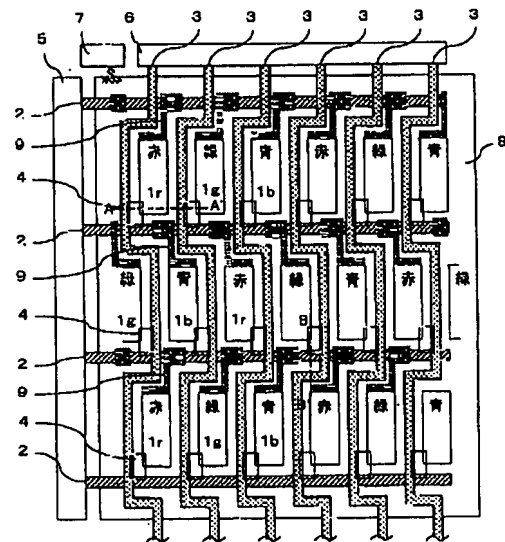


1…像素電極 4…スイッチング素子 C…対向電極側検査配線  
1r…赤像素電極 5…ゲート駆動回路 G1…第1ゲート側検査配線  
1g…緑像素電極 6…ソース駆動回路 G2…第2ゲート側検査配線  
1b…青像素電極 7…対向電極駆動回路 S1, S2, S3…  
2…ゲート配線 8…対向電極 ソース側検査配線  
3…ソース配線 9…蓄積容量 T…切断部

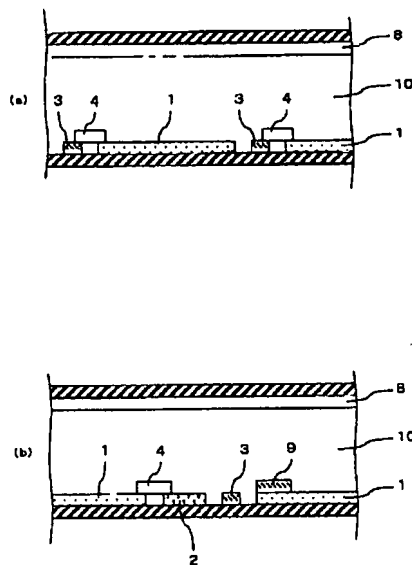
【図12】



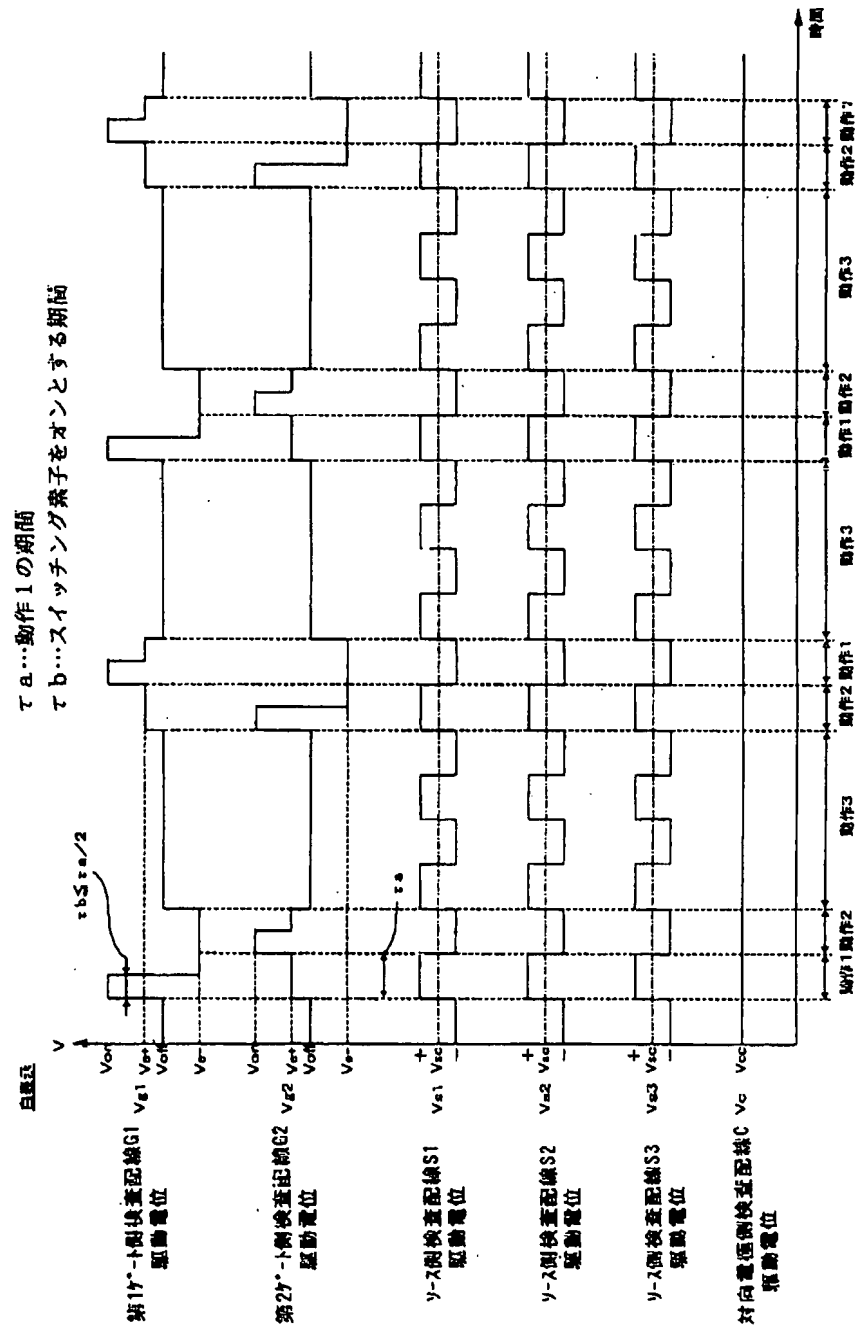
【図13】



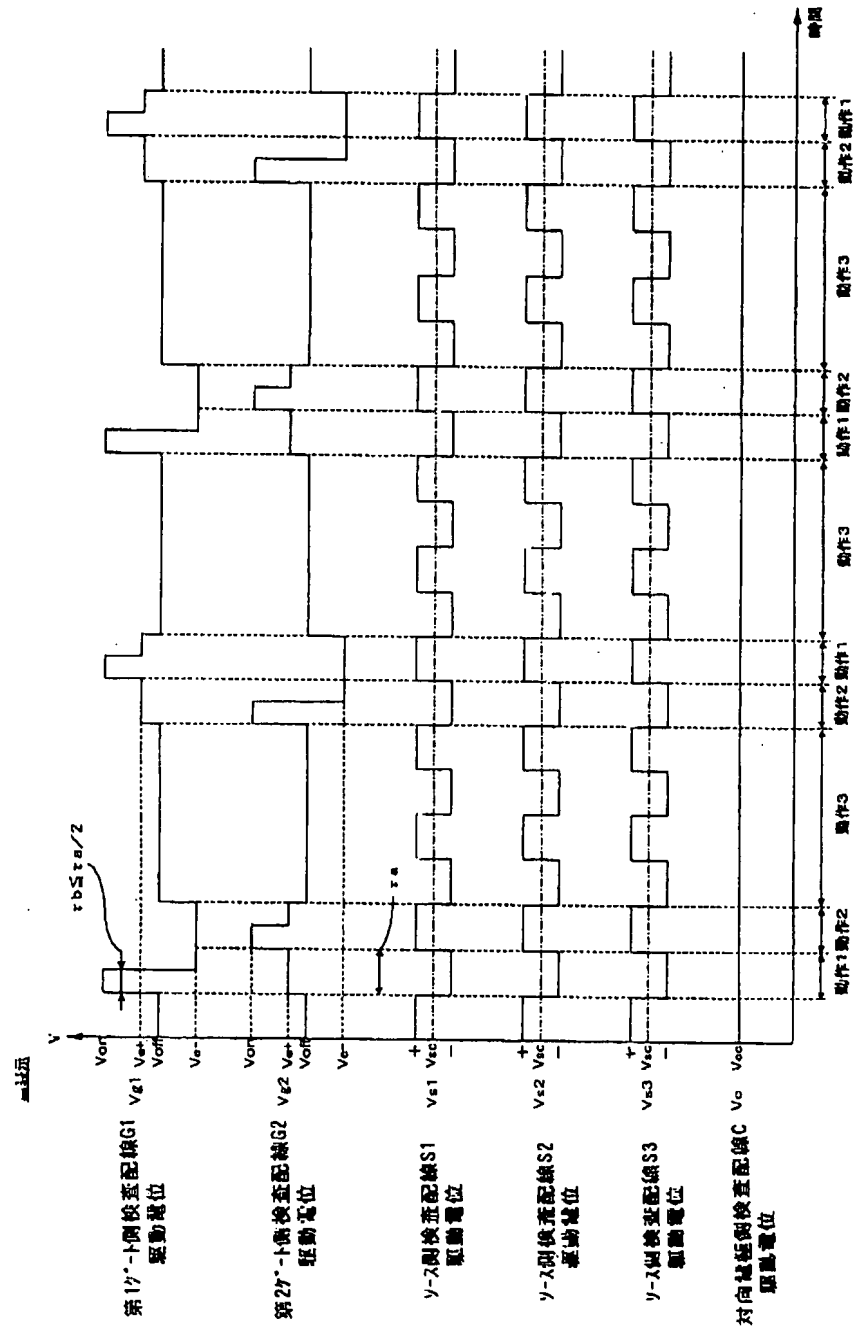
【図14】



【図2】

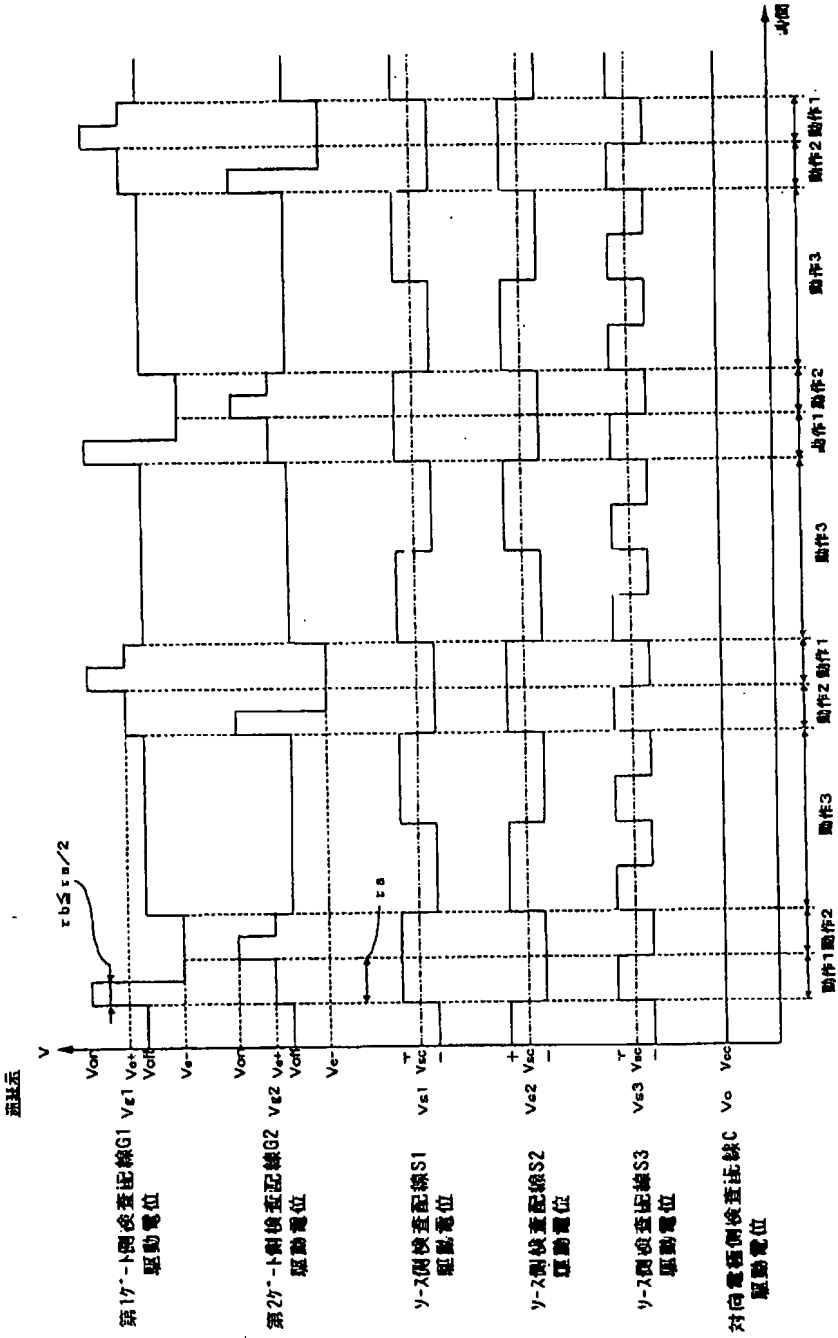


【図3】

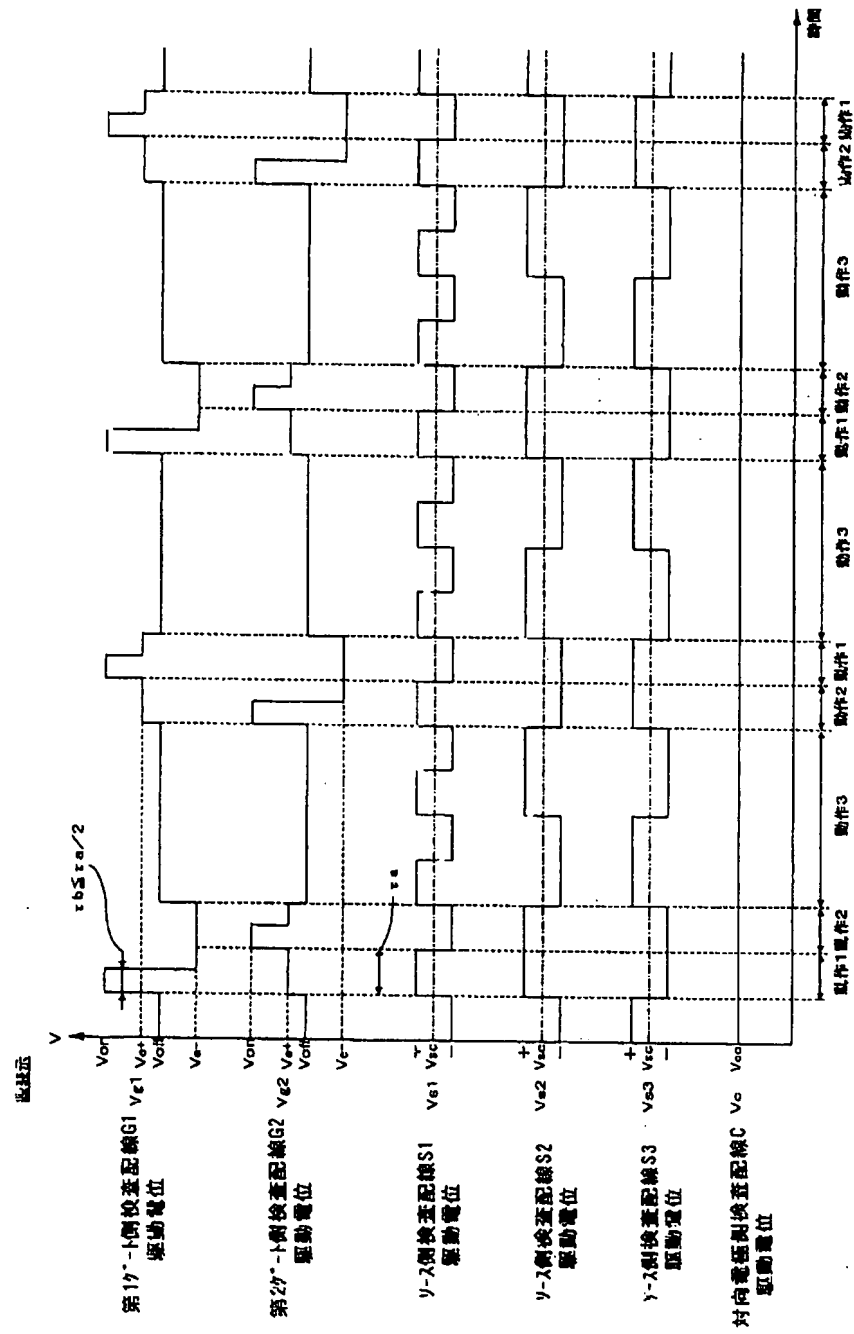




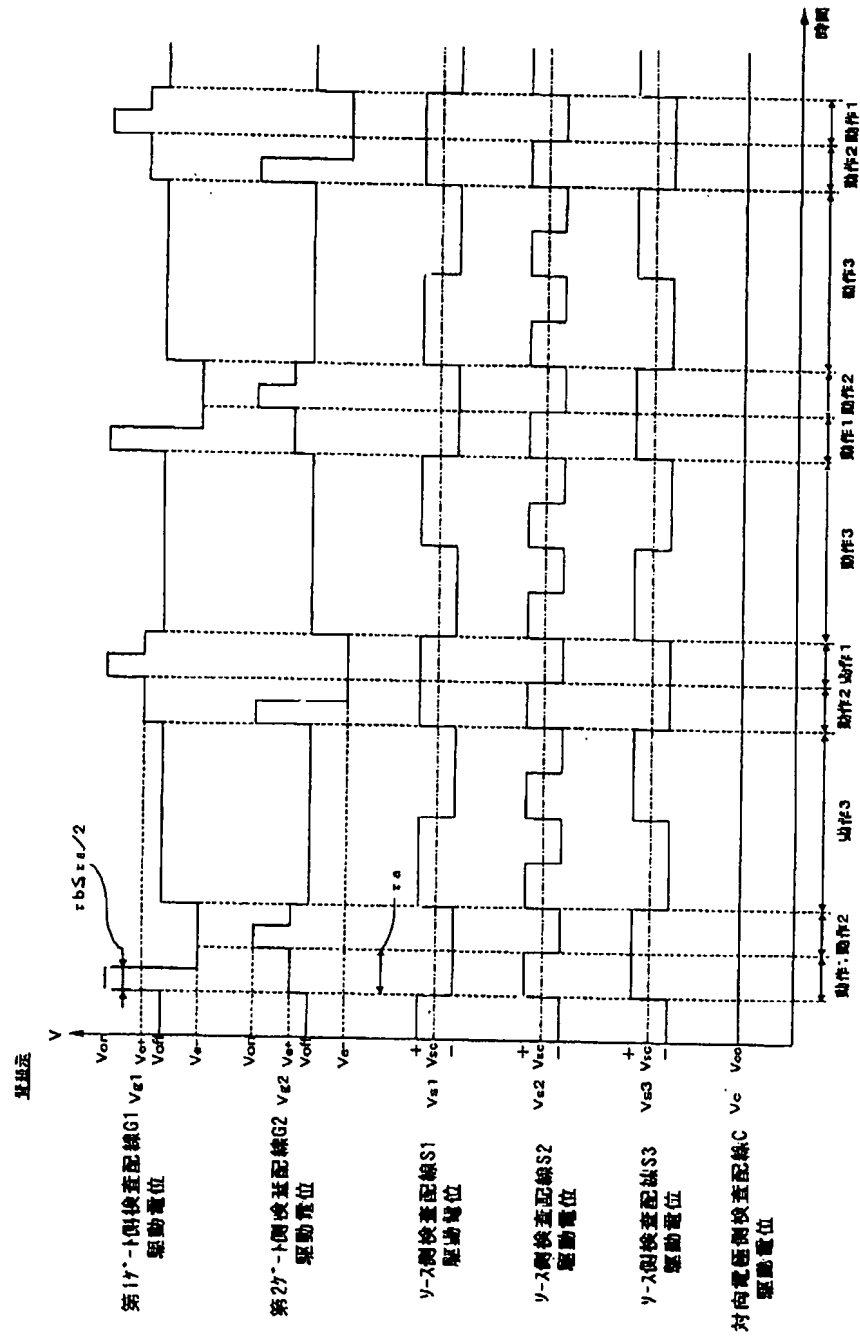
【図4】



【圖5】

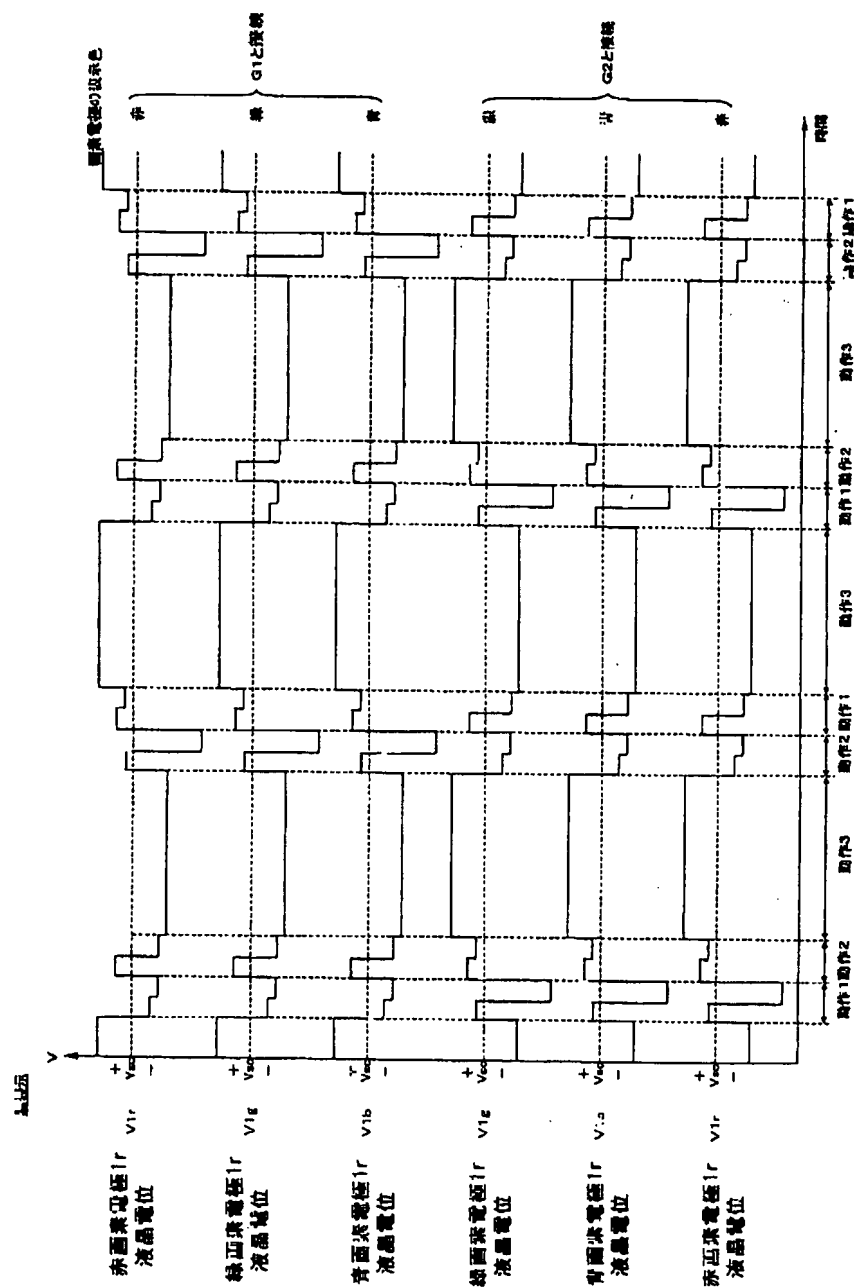


【图6】

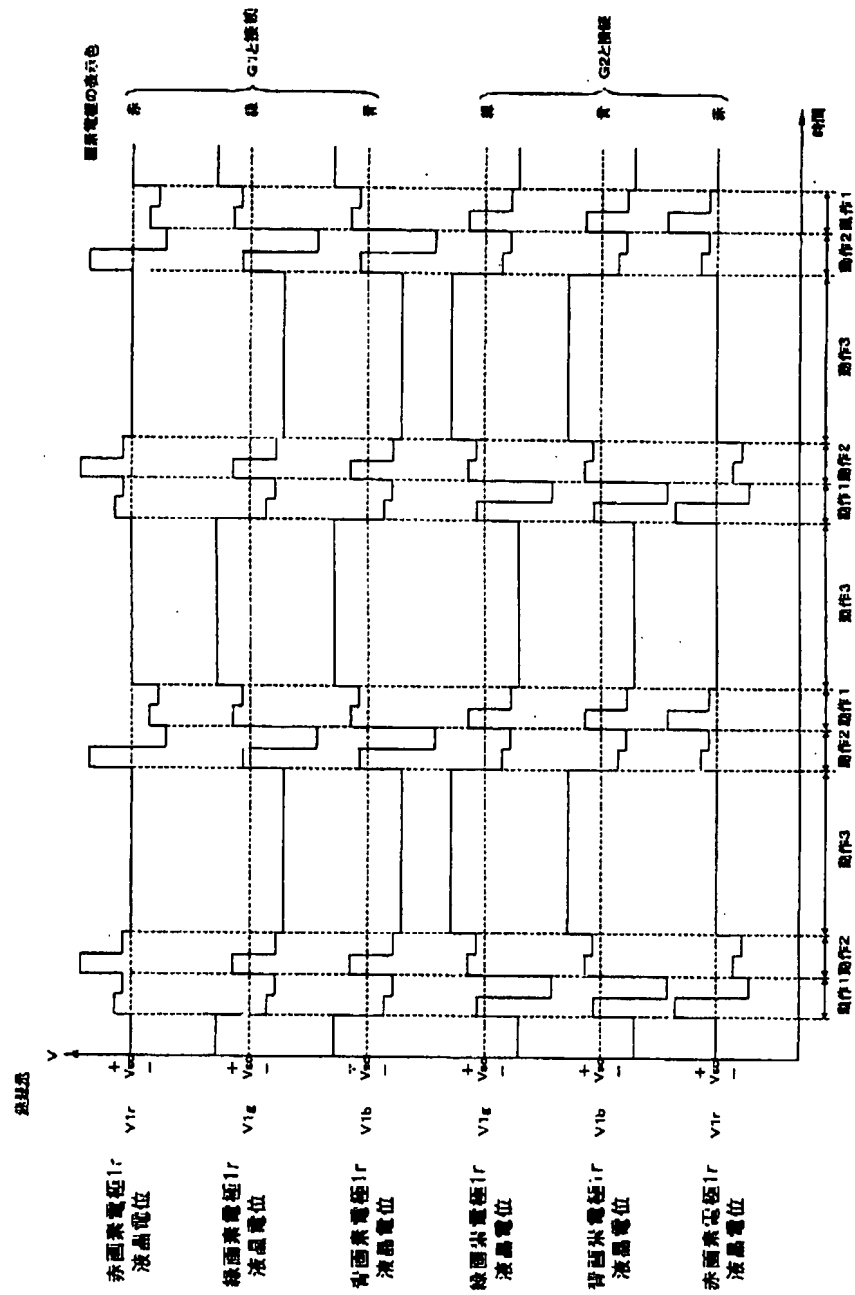




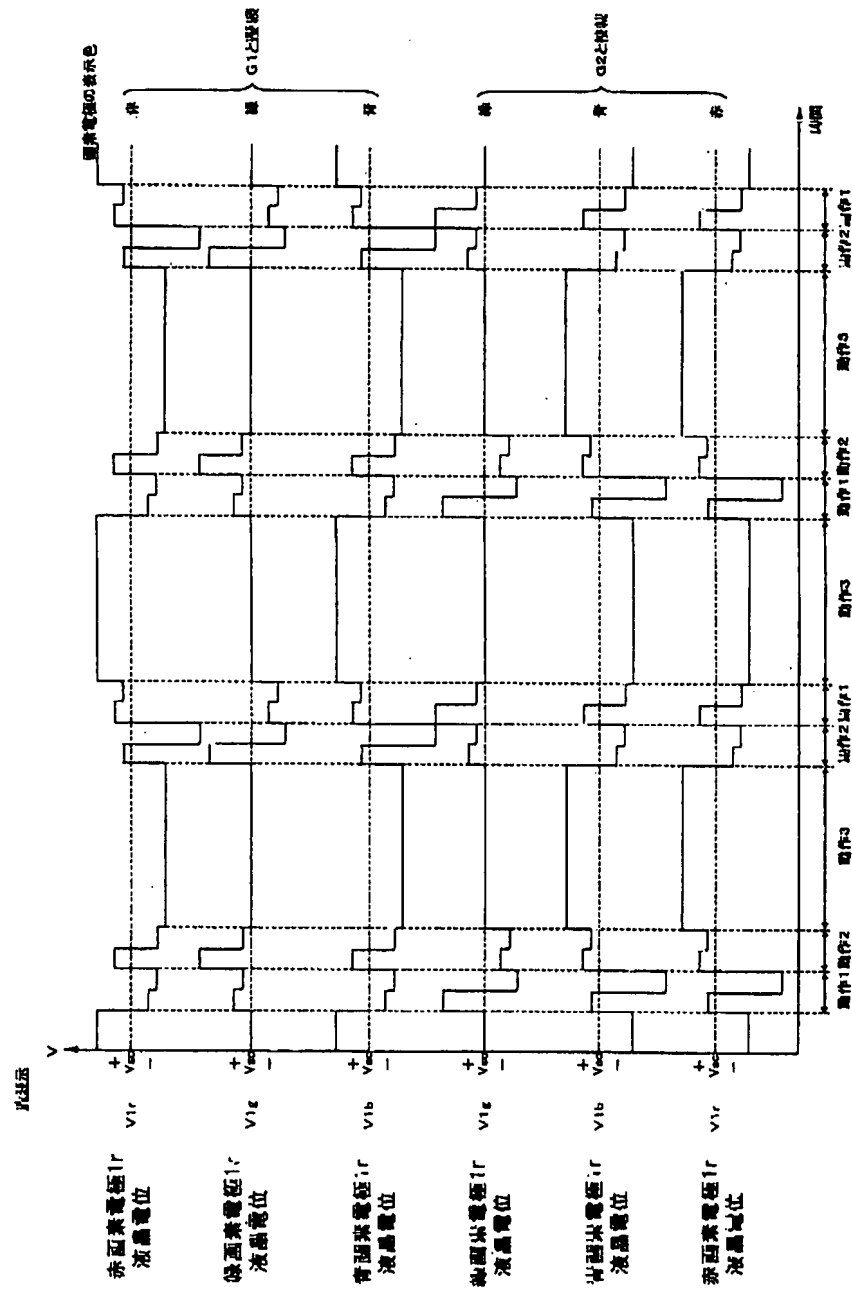
【図8】



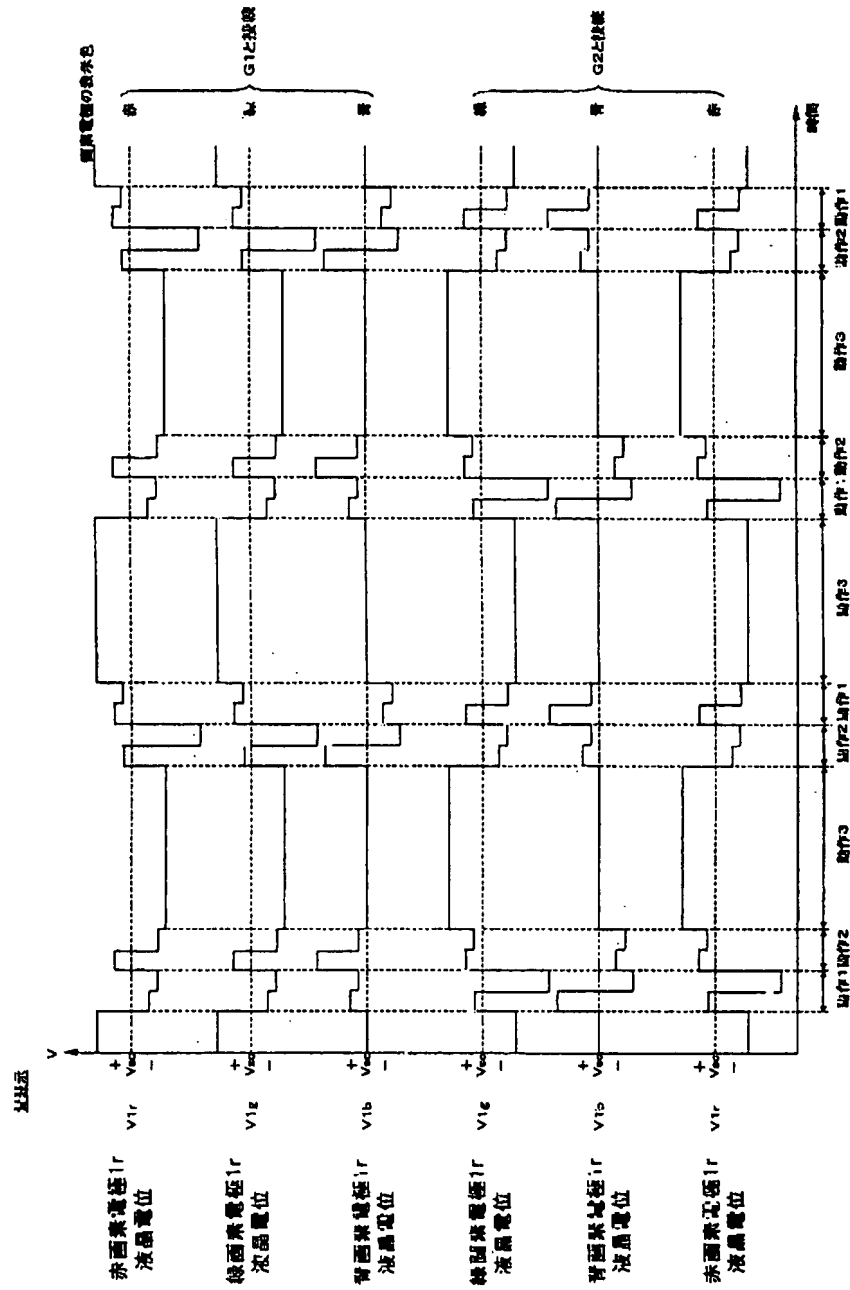
【図9】



【図10】



【図11】





【図15】

